

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年10月6日 (06.10.2005)

PCT

(10) 国際公開番号
WO 2005/093951 A1(51) 国際特許分類⁷: H03H 7/20, H01P 1/18, 1/15

(21) 国際出願番号: PCT/JP2004/004243

(22) 国際出願日: 2004年3月26日 (26.03.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).

(72) 発明者; および

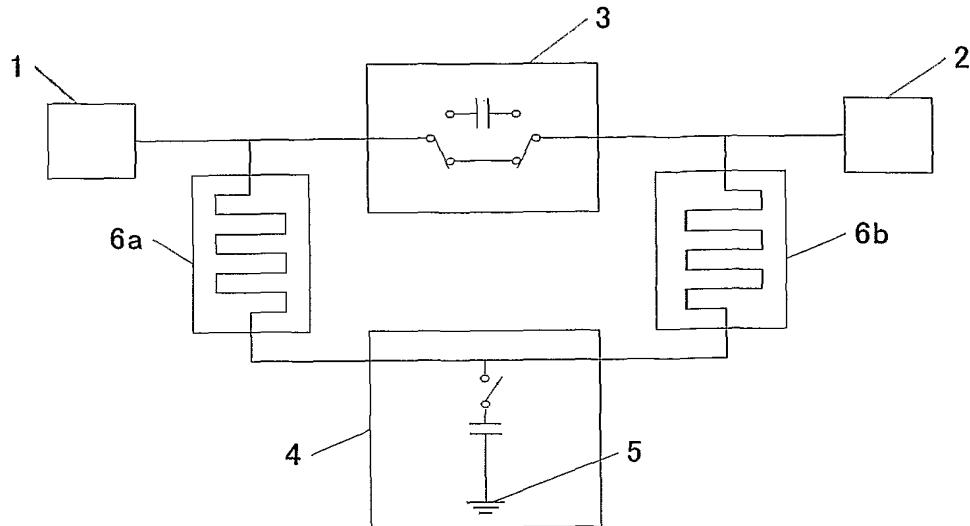
(75) 発明者/出願人(米国についてのみ): 宮口 賢一 (MIYAGUCHI, Kenichi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社

内 Tokyo (JP). 檜枝 譲重 (HIEDA, Morishige) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 西野 有 (NISHINO, Tamotsu) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 半谷 政毅 (HANGAI, Masatake) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 宮崎 守 (MIYAZAKI, Moriyasu) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 湯之上 則弘 (YUNOUE, Norihiro) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 畠山 英樹 (HATAKEYAMA, Hideki) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 吉田 幸久 (YOSHIDA, Yukihisa) [JP/JP]; 〒1008310 東京都千代田区丸の内

/続葉有/

(54) Title: PHASE CIRCUIT, HIGH-FREQUENCY SWITCH, AND PHASE DEVICE

(54) 発明の名称: 移相回路、高周波スイッチ並びに移相器



WO 2005/093951 A1

(57) **Abstract:** There is provided a small-size phase circuit having a broad band characteristic. The phase circuit includes: a first switching element for switching between a through and a capacitance capacity; a second switching element for switching the capacitance capacity for the through and the ground; and a first and a second inductor having inductance. One end of the first switching element is connected to one end of the second switching element by the first inductor while the other ends of the first and the second switching element are connected by the second inductor. One end of the first switching element is connected to a high-frequency signal input terminal while the other end of the first switching element is connected to a high-frequency signal output terminal. Thus, it is possible to constitute a phase device satisfying a predetermined condition.

(57) **要約:** 小型でかつ広帯域な特性を持つ移相回路を提供するもので、スルーとキャパシタンスの容量とを切り替える第1のスイッチング素子と、スルーとグランドに対するキャパシタンス

/続葉有/



二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP). 高木直 (TAKAGI, Tadashi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 曾我道照, 外 (SOGA, Michiteru et al.); 〒1000005 東京都千代田区丸の内三丁目 1 番 1 号 国際ビルディング 8 階 曾我特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 國際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

の容量とを切り替える第 2 のスイッチング素子と、インダクタンスをもつ第 1 および第 2 のインダクタとを備え、第 1 と第 2 のスイッチング素子の一端同士を第 1 のインダクタで接続し、第 1 と第 2 のスイッチング素子の他端同士を第 2 のインダクタで接続し、第 1 のスイッチング素子の一端を高周波信号入力端子に接続し、第 1 のスイッチング素子の他端を高周波信号出力端子に接続して、定の条件を満たす移相器を構成する。

明細書

移相回路、高周波スイッチ並びに移相器

5

技術分野

この発明は、小型で広帯域な移相量特性を有する移相回路、当該移相回路に用いられる高周波スイッチ並びに移相器に関するものである。

背景技術

10 図3 1は、米国特許第6 1 3 7 3 7 7号に開示された第1の従来例としての移相回路を示す回路図である。

15 図3 1に示す移相回路において、第1の電界効果トランジスタ（以下、FETと称す）103は、オン状態とオフ状態を切り替えるスイッチとして動作するもので、ゲート電極に第1の抵抗113を介して第1のバイアス端子118が接続されている。

このバイアス端子118にFET103のドレイン電圧およびソース電圧と同電位のゲート電圧を印加すると、FET103はオン状態となり抵抗性（以下、オン抵抗という）を示す。

一方、ピンチオフ電圧以下のゲート電圧をバイアス端子118に印加すると、20 FET103はオフ状態となり容量性（以下、オフ容量という）を示す。FET104、FET105もFET103と同様の動作をする。

第1の抵抗113、第2の抵抗114、第3の抵抗115、第4の抵抗116、第5の抵抗117は、高周波信号入力端子101から入力された高周波信号が通過しないほど十分大きな抵抗値をもつ。

25 バイアス端子118とバイアス端子120には、常にピンチオフ電圧以下の電圧（当該特許では-5Vと記載）を印加しておく。バイアス端子119には、0Vまたはピンチオフ以下の電圧を印加する。

次に、図3 1に示す移相回路の動作について説明する。

図3 2は、バイアス端子119にピンチオフ電圧以下の電圧を印加したときの

等価回路図である。このとき、FET103はオン状態となってオン抵抗121を示し、FET104はオン状態となってオン抵抗122を示し、FET105はオフ状態となってオフ容量123を示す。

図32に示す回路は、第1のキャパシタ109、第2のキャパシタ110、第5のインダクタ106、第2のインダクタ107から構成される高域通過フィルタ（以下、HPFと略す）とみなすことができる。高周波信号入力端子101から入力された信号は、前記HPFにより位相進みが生じて、高周波信号出力端子102から出力される。

また、図33は、バイアス端子119に0Vを印加したときの等価回路図である。このとき、FET103はオフ状態となってオフ容量124を示し、FET104はオフ状態となってオフ容量125を示し、FET105はオン状態となってオン抵抗126を示す。

図33に示す回路は、第1のインダクタ106、第2のインダクタ107、オフ容量125から構成される低域通過フィルタ（以下、LPFと略す）とみなすことができる。高周波信号入力端子101から入力された信号は、前記LPFにより位相遅れが生じて、高周波信号出力端子102から出力される。

前記HPFにより生じる位相進みと、前記LPFにより生じる位相遅れの差を所要移相量とする。バイアス端子119に0Vまたはピンチオフ電圧以下の電圧を印加することにより、高周波信号入力端子101から入力された信号は、バイ20アス端子119に印加する電圧によりFET103、FET104、FET105のオン／オフ状態を切り替えることによって、所望の移相量を得て、高周波信号出力端子102から出力される。つまり、HPFとLPFの状態を切り替える制御信号を与えるバイアス端子は、バイアス端子119の1つのみである。

次に、図34は、IEEE IMS2000 Proceedings、"A Compact 5-Bit Phase Shifter MMIC for K-Band Satellite Communication Systems"に掲載された第2の従来例としての移相回路を示す回路図である。

図34に示す移相回路において、第1のFET127は、オン状態とオフ状態を切り替えるスイッチとして動作するもので、ゲート端子に第1のFET127のドレイン電圧およびソース電圧と同電位の電圧を印加すると、第1のFET1

27 はオン状態となり抵抗性（以下、オン抵抗という）を示す。一方、ピンチオフ電圧以下の電圧をゲート端子に印加すると、第1のFET127はオフ状態となり容量性（以下、オフ容量という）を示す。第2のFET128も第1のFET127と同様の動作をする。

5 次に、図34に示す移相回路の動作について説明する。

図35は、第1のFET127をオフ状態、第2のFET128をオン状態としたときの等価回路図である。容量134は、第1のFET127のオフ容量とキャパシタ132の合成容量を示し、抵抗135は、第2のFET128のオン抵抗を示す。このとき、図35に示す回路は、合成容量134、第1のインダクタ129、第2のインダクタ130から構成される高域通過フィルタ（以下、HPFと略す）とみなすことができる。高周波信号入力端子101から入力された信号は、前記HPFにより位相進みが生じて、高周波信号出力端子102から出力される。

また、図36は、第1のFET127をオン状態、第2のFET128をオフ状態としたときの等価回路図である。抵抗136は、第1のFET127のオン抵抗、容量137は、第2のFET128のオフ容量を示す。第3のインダクタ131とオフ容量137から成る並列回路は、所望の周波数 f_0 で並列共振状態となるようにする。

このとき、図36に示す回路は、第1のインダクタ129と第2のインダクタ130が示すリアクタンスが十分大きいとすると、周波数 f_0 近傍の高周波信号を通過させる帯域通過フィルタ（以下、BPFと略す）とみなすことができる。高周波信号入力端子101から入力された信号は、前記BPFによりほぼゼロの位相変化が生じて、高周波信号出力端子102から出力される。

前記HPFにより生じる位相進みと、前記BPFにより生じる位相変化の差を所要移相量とする。高周波信号入力端子101から入力された信号は、第1のFET127、第2のFET128のオン／オフ状態を切り替えることによって、所望の移相量を得て、高周波信号出力端子102から出力される。

上述のように、図31に示す第1の従来例による移相回路では、回路構成素子が多いいため、回路が大型化するといった問題があった。

また、図34に示す第2の従来例による移相回路では、HPFとBPFの状態を切り替える構成であるため、90°以上の移相量は得られないといった問題があった。さらに、HPFのカットオフ周波数を所望の周波数帯域よりも低く設定する必要があるため、周波数が低くなるほど回路が大型化するといった問題があ
5 った。また、移相量が小さいほど、HPFのカットオフ周波数を低くする必要があるため、回路が大型化する。

この発明は前記のような問題を解決するためになされたもので、小型でかつ広帯域な特性を持つ移相回路、当該移相回路に用いられる高周波スイッチ並びに移相器を提供することを目的とする。

10

発明の開示

この発明に係る移相回路は、スルーとキャパシタンス C_1 の容量とを切り替える第1のスイッチング素子と、スルーとグランドに対するキャパシタンス C_2 の容量とを切り替える第2のスイッチング素子と、インダクタンス L をもつ第1お
15 よび第2のインダクタとを備え、前記第1と第2のスイッチング素子の一端同士を前記第1のインダクタで接続し、前記第1と第2のスイッチング素子の他端同士を前記第2のインダクタで接続し、前記第1のスイッチング素子の一端を高周波信号入力端子に接続し、前記第1のスイッチング素子の他端を高周波信号出力端子に接続し、高周波信号入力端子及び高周波信号出力端子の特性インピーダン
20 スを Z_0 としたとき、

$$C_2 = 4 C_1 \quad (1)$$

$$Z_0 = (L / 2 C_1)^{1/2} \quad (2)$$

を満たすものである。

また、前記第1のスイッチング素子を、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子で構成し、前記第1のスイッチング素子を、オン時
25 はスルー状態となり、オフ時は容量性を示すスイッチング素子にインダクタが並列接続された並列回路と、当該並列回路とキャパシタンスの容量との直列回路で構成し、前記直列回路の一端をグランドに接続し、前記直列回路の他端を前記第1と第2のインダクタの他端に接続したことを特徴とする。

また、前記キャパシタンスの容量を、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子で構成したことを特徴とする。

また、前記並列回路を、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子に置換したことを特徴とする。

5 また、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子を、オン時はスルー状態となり、オフ時に容量性を示すスイッチング素子とキャパシタとの並列回路に置換したことを特徴とする。

また、この発明に係る高周波スイッチは、基板の片面のみを掘り込んで形成されたキャビティの底面に形成された第1の導体および制御電極と、前記キャビティの端部で支持され空気層を介して中空に存在する誘電体支持膜と、前記支持膜面上に間隔を隔てて形成された一対の高周波信号伝送線路と、前記支持膜の裏面に備えられて、前記一対の高周波信号伝送線路間に平行平板キャパシタを形成するための第2の導体とを備え、前記一対の高周波信号伝送線路は、前記支持膜の一部を貫通する導体突起部をそれぞれ有し、前記制御電極への電圧印加時に前記支持膜が前記キャビティの底面方向に変位して前記各導体突起部が前記第1の導体に接触することでスルー状態となり、機械的に駆動するスルー／直列容量切替素子を構成するものである。

また、他の発明に係る高周波スイッチは、基板の片面のみを掘り込んで形成されたキャビティの底面に形成された地導体および制御電極と、前記キャビティの端部に支持され空気層を介して中空に存在する誘電体支持膜と、前記支持膜面上に形成された高周波信号伝送線路とを備え、前記制御電極への電圧印加時に前記支持膜がキャビティの底面方向に変位して前記支持膜が前記地導体に接触することでグランドに対して容量を示す状態になり、機械的に駆動するスルー／シャント容量切替素子を構成するものである。

25 また、さらに他の発明に係る高周波スイッチは、基板の片面のみを掘り込んで形成されたキャビティの底面に間隔を隔てて形成され、導体突起部をそれぞれ有する一対の高周波信号伝送線路と、前記一対の高周波信号伝送線路間を跨って当該一対の高周波信号伝送線路上に形成された誘電体膜と、前記誘電体膜上に形成された第1の導体と、前記キャビティの端部で支持され空気層を介して中空に存

在する誘電体支持膜と、前記支持膜の裏面に形成された第2の導体と、前記支持膜面上に形成された制御電極とを備え、前記制御電極への電圧印加時に前記支持膜が前記キャビティの底面方向に変位して前記第2の導体が前記各導体突起部に接触することで前記一対の高周波信号伝送線路がスルー状態となり、機械的に駆動するスルー／直列容量切替素子を構成するものである。

また、さらに他の発明に係る高周波スイッチは、基板の片面のみを掘り込んで形成されたキャビティの底面に形成された高周波信号伝送線路と、前記キャビティの端部で支持され空気層を介して中空に存在する誘電体支持膜と、前記支持膜面上に形成された制御電極およびグランド導体とを備え、前記制御電極への電圧印加時に前記支持膜がキャビティの底面方向に変位して前記支持膜が前記高周波信号伝送線路と接触することでグランドに対して容量を示す状態になり、機械的に駆動するスルー／シャント容量切替素子を構成するものである。

また、この発明に係る移相回路は、前記第1のスイッチング素子を前記スルー／直列容量切替素子を構成する高周波スイッチで構成し、前記第2のスイッチング素子をスルー／シャント容量切替素子を構成する高周波スイッチで構成したこととする。

さらに、この発明に係る移相器は、前述した移相回路を組み合わせて多ビット移相器を構成したことを特徴とする。

20

図面の簡単な説明

図1は、この発明の実施の形態1に係る移相回路の構成を示す回路図、

図2は、図1において、第1のスイッチング素子3がスルーの状態、第2のスイッチング素子4がスルーの状態のときの等価回路図、

図3は、第1のスイッチング素子3が容量性を示す状態、第2のスイッチング素子4がグランドに対して容量性を示す状態のときの等価回路図、

図4は、この発明の実施の形態2に係る移相回路の構成を示す回路図、

図5は、図4に示す実施の形態2に係る移相回路の等価回路図、

図6は、図5において、FET8aがオン状態、FET8bがオフ状態のときの等価回路図、

図7は、図5において、FET8aがオフ状態、FET8bがオン状態のときの等価回路図、

図8は、この発明の実施の形態3に係る移相回路の構成を示す回路図、

図9は、図8において、FET8aがオン状態、FET8bがオフ状態、FET28がオン状態のときの等価回路図、

図10は、図8において、FET8aがオフ状態、FET8bがオン状態、FET28がオフ状態のときの等価回路図、

図11は、この発明の実施の形態4に係る移相回路の構成を示す回路図、

図12は、図11において、FET8aがオン状態、FET8bがオフ状態のときの等価回路図、

図13は、図11において、FET8aがオフ状態、FET8bがオン状態のときの等価回路図、

図14は、この発明の実施の形態5に係る移相回路の構成を示す回路図、

図15は、この発明の実施の形態6に係るもので、基板上に形成される移相回路の構成を示す上面図、

図16は、図15に示すスルー／直列容量切替素子36の詳細な構成を示す分解図、

図17は、制御電極43に電圧を印加していない場合のスルー／直列容量切替素子36の図15に示すA-A'線断面図、

図18は、第1の制御電極43に電圧を印加した場合のスルー／直列容量切替素子36の図15に示すA-A'線断面図、

図19は、図15に示すスルー／シャント容量切替素子37の詳細な構成を示す分解図、

図20は、第2の制御電極51に電圧を印加していない場合のスルー／シャント容量切替素子37の図15に示すB-B'線断面図、

図21は、第2の制御電極51に電圧を印加した場合のスルー／シャント容量切替素子37の図15に示すB-B'線断面図、

図22は、図15に示す移相回路において、スルー／直列容量切替素子36がスルー状態、スルー／シャント容量切替素子37がスルー状態のときの等価回路

図、

図23は、図15に示す移相回路において、スルー／直列容量切替素子36が直列容量状態、スルー／シャント容量切替素子37がシャント容量状態のときの等価回路図、

5 図24は、この発明の実施の形態7に係る移相回路におけるスルー／直列容量切替素子の詳細を示す上面図、

図25は、図24の第3の制御電極64に電圧を印加していない場合のC—C'線断面図、

10 図26は、図24の第3の制御電極64に電圧を印加した場合のC—C'線断面図、

図27は、この発明の実施の形態7に係る移相回路におけるスルー／シャント容量切替素子の詳細を示す上面図、

図28は、図27の第4の制御電極72に電圧を印加していない場合のD—D'線断面図、

15 図29は、図27の第4の制御電極72に電圧を印加した場合のD—D'線断面図、

図30は、この発明の実施の形態8による移相器の構成を示すブロック図、

図31は、米国特許第6137377号に開示された移相回路を示す回路図、

20 図32は、図31におけるバイアス端子119にピンチオフ電圧以下の電圧を印加したときの等価回路図、

図33は、図31におけるバイアス端子119に0Vを印加したときの等価回路図、

25 図34は、IEEE IMS2000 Proceedings、"A Compact 5-Bit Phase Shifter MMI C for K-Band Satellite Communication Systems"に掲載された従来の移相回路を示す回路図、

図35は、図34における第1のFET127をオフ状態、第2のFET128をオン状態としたときの等価回路図、

図36は、図34における第1のFET127をオン状態、第2のFET128をオフ状態としたときの等価回路図である。

発明を実施するための最良の形態

実施の形態 1.

図 1 は、この発明の実施の形態 1 に係る移相回路の構成を示す回路図である。

5 図 1 に示す移相回路は、高周波信号入力端子 1 と高周波信号入出力端子 2 との間に設けられて、スルーとキャパシタンス C_1 の容量とを切り替える第 1 のスイッチング素子 3 と、スルーとグランドに対してキャパシタンス C_2 の容量とを切り替える第 2 のスイッチング素子 4 と、第 1 のインダクタ $6\ a$ および第 2 のインダクタ $6\ b$ とを備えている。5 はグランドを示す。

10 次に、図 1 に示す移相回路の動作について説明する。

図 2 は、第 1 のスイッチング素子 3 がスルーの状態、第 2 のスイッチング素子 4 がスルーの状態のときの等価回路図である。ここで、第 1 のインダクタ $6\ a$ と第 2 のインダクタ $6\ b$ によるリアクタンスが十分大きいとすると、図 2 に示す回路は、スルー回路とみなすことができる。したがって、高周波信号入力端子 1 から入力された信号は、位相変化が生じることなく、高周波信号出力端子 2 から出力される。このとき、前記スルー回路は全ての周波数において整合がとれるため、反射損失がない。

図 3 は、第 1 のスイッチング素子 3 が容量性を示す状態、第 2 のスイッチング素子 4 がグランドに対して容量性を示す状態のときの等価回路図である。図 3 に示す回路は、第 1 のスイッチング素子 3 が容量性を示し、第 1 のキャパシタ 7 となり、第 2 のスイッチング素子 4 も容量性を示し、第 2 のキャパシタ 8 となり、第 1 のインダクタ $6\ a$ と第 2 のインダクタ $6\ b$ と第 1 のキャパシタ 7 と第 2 のキャパシタ 8 とから成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子 1 から入力された信号は、前記オールパスネットワークにより位相遅れが生じて、高周波信号出力端子 2 から出力される。

ここで、第 1 のキャパシタ 7 のキャパシタンスを C_1 、第 2 のキャパシタ 8 のキャパシタンスを C_2 、第 1 のインダクタ $6\ a$ と第 2 のインダクタ $6\ b$ のインダクタンスを L 、高周波信号入力端子 1 と高周波信号出力端子 2 の特性インピーダンスを Z_0 としたとき、式 (1) と式 (2) を満たすとする。

$$C_2 = 4 C_1 \quad (1)$$

$$Z_0 = (L / 2C_1)^{1/2} \quad (2)$$

このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、キャパシタンス C_1 (または C_2) を適切に設定することにより、所望の位相遅れを得ることができる。

以上のように、図 1 に示す実施の形態 1 に係る移相回路は、第 1 のスイッチング素子 3 の切り替え動作と第 2 のスイッチング素子 4 の切り替え動作により、スルーレの状態とオールパスネットワークの状態とを切り替え、高周波信号入力端子 1 から入力された信号が高周波信号出力端子 2 に出力される際に生じる通過位相を変化させる。

従って、本実施の形態 1 に係る移相回路によれば、インダクタンス L とキャパシタンス C_1 とキャパシタンス C_2 を適切に設定すれば、広帯域に所望の移相量を得ることができる。つまり、従来例に比べて広帯域で動作する移相回路が得られる。

15

実施の形態 2.

図 4 は、この発明の実施の形態 2 に係る移相回路の構成を示す回路図である。図 4 において、図 1 と同一または相当する構成については同一符号を付して重複する説明を省略する。図 4 に示す移相回路は、半導体基板 18 上にモノリシックに構成したもので、図 4 に示す各構成要素と図 1 に示す各構成要素との対応関係は次の通りである。すなわち、第 1 の FET 8a は第 1 のスイッチング素子 3 に、第 2 の FET 8b は第 2 のスイッチング素子 4 に、第 1 のスパイラルインダクタ 9 は第 1 のインダクタ 6a に、第 2 のスパイラルインダクタ 10 は第 2 のインダクタ 6b にそれぞれ対応している。

第 1 の FET 8a の制御電極には、第 1 の抵抗 13 を介して第 1 の制御信号端子 16 が接続され、第 2 の FET 8b の制御電極には、第 2 の抵抗 14 を介して第 2 の制御信号端子 17 が接続されている。また、第 2 の FET 8b には、第 3 のスパイラルインダクタ 11 が並列接続されて並列回路を構成し、この並列回路に MIM キャパシタ 12 が直列接続されて直列回路を構成し、当該直列回路の一

端はスルーホール 15 を介してグランドに接続され、他端は第 1 と第 2 のスパイラルインダクタ 9 と 10 の接続点に接続されている。

図 5 は、図 4 に示す実施の形態 2 に係る移相回路の等価回路図である。図 5 に示す等価回路において、図 4 と同一または相当する構成については同一符号を付けて重複する説明を省略する。インダクタ 19 は第 1 のスパイラルインダクタ 9 に、インダクタ 20 は第 2 のスパイラルインダクタ 10 に、インダクタ 21 は第 3 のスパイラルインダクタ 11 に、キャパシタ 22 は MIM キャパシタ 12 に、グランド 23 はスルーホール 15 にそれぞれ相当する。

FET 8a と FET 8b は、オン／オフ状態を切り換えるスイッチとして動作する。FET 8a において、ドレイン電圧およびソース電圧と同電位の電圧をゲート端子に印加すると、FET 8a はオン状態となり抵抗性（以下、オン抵抗という）を示す。一方、ピンチオフ電圧以下の電圧をゲート端子に印加すると、FET 8a はオフ状態となり容量性（以下、オフ容量という）を示す。FET 8b も同様の動作をする。

次に、図 4 の等価回路図である図 5 を用いて実施の形態 2 に係る移相回路の動作について説明する。

図 6 は、図 5 において、FET 8a がオン状態、FET 8b がオフ状態のときの等価回路図である。図 6 に示すように、FET 8a はオン状態時にオン抵抗 24 として示され、FET 8b はオフ状態時にオフ容量 25 として示される。

ここで、インダクタ 21 とオフ容量 25 から成る並列回路は、所望周波数 f_0 で並列共振（オープン）状態となるように設定する。また、インダクタ 19 とインダクタ 20 によるリアクタンスは十分大きいので、図 6 に示す回路は、所望周波数 f_0 近傍を通過帯域としたバンドパスフィルタ回路とみなすことができる。オン抵抗 24 が十分小さいとき、位相変化はほとんど生じない。したがって、所望周波数 f_0 において、高周波信号入力端子 1 から入力された信号は、位相変化は生じることなく、高周波信号出力端子 2 から出力される。

図 7 は、図 5 において、FET 8a がオフ状態、FET 8b がオン状態のときの等価回路図である。図 7 に示すように、FET 8a はオフ状態時にオフ容量 26 として示され、FET 8b はオン状態時にオン抵抗 27 として示される。

ここで、インダクタ 21 によるリアクタンスがオン抵抗 27 に比べて十分大きいとき、オン抵抗 27 とインダクタ 21 から成る並列回路は、オン抵抗 27 のみから成る回路とみなすことができる。よって、図 7 に示す回路は、インダクタ 19 とインダクタ 20 とオフ容量 26 とキャパシタ 22 から成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子 1 から入力された信号は、前記オールパスネットワークにより位相遅れが生じ、高周波信号出力端子 2 から出力される。

ここで、オフ容量 26 のキャパシタンスを C_1 、キャパシタ 22 のキャパシタンスを C_2 、インダクタ 19 とインダクタ 20 のインダクタンスを L 、高周波信号入力端子 1 と高周波信号出力端子 2 の特性インピーダンスを Z_0 としたとき、式 (1) と式 (2) を満たすとする。このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、キャパシタンス C_1 (または C_2) を適切に設定することにより、所望の周波数で所望の位相遅れを得ることができる。

以上のように、図 4 に示す実施の形態 2 の移相回路は、FET 8a と FET 8b のオン／オフ切換動作によりバンドパスフィルタ回路とオールパスネットワークとを切り換え、高周波信号入力端子 1 から高周波信号出力端子 2 への通過位相を変化させる。

従って、この発明の実施の形態 2 に係る移相回路によれば、通過位相の変化により、所望の移相量を得ることができる。つまり、FET 2つとインダクタ 3つとキャパシタ 1つとスルーホール 1つで回路を構成できるため、第 1 の従来例に比べて、小型化が図れる。

また、第 2 の従来例においては、高域通過フィルタのカットオフ周波数は所望中心周波数よりも低く設定する必要があるが、オールパスネットワークのカットオフ周波数 (低域通過フィルタの特性と高域通過フィルタの特性が切り替わる周波数) は所望中心周波数よりも高いため、第 2 の従来例に比べて、インダクタンス、キャパシタンスを小さくすることができ、回路の小型化が図れる。

また、オールパスネットワークは、回路定数を適切に設定することにより全ての周波数で整合がとれるので、第 1 および第 2 の従来例に比べて、移相回路の広

帯域化が図れる。

また、低域通過フィルタおよび高域通過フィルタで得られる通過位相の変化は最大90°であるが、オールパスネットワークは、回路定数を適切に設定することにより全ての周波数で整合がとれるので、任意の通過位相変化、つまり任意の

5 移相量を得ることができる。

なお、図4に示す実施の形態2に係る移相回路において、FET8aおよびFET8bはスイッチング素子として用いているが、オン／オフ状態を切り換えることができるようなスイッチング機能を有するものであればどのような形式でもよい。

10 また、図4に示す実施の形態2に係る移相回路は、半導体基板18上にモノリシックに構成されているが、受動素子を誘電体基板に、能動素子を半導体基板に構成して、金属ワイヤまたは金パンプ等で両基板を電気的に接続して移相回路を構成してもよい。

15 実施の形態3.

図8は、この発明の実施の形態3に係る移相回路の構成を示す回路図である。図8において、図5と同一または相当する構成については同一符号を付して重複する説明を省略する。図8に示す実施の形態3に係る移相回路は、図5に示す実施の形態2に係る移相回路のキャパシタ22をFET28に置換したものである

20 。FET28は、オン／オフ状態を切り換えるスイッチとして動作するもので、FET8a、FET8bと同様の動作をする。

次に、実施の形態3に係る移相回路の動作について説明する。

図9は、図8において、FET8aがオン状態、FET8bがオフ状態、FET28がオン状態のときの等価回路図である。図9に示すように、FET8aはオン状態時にオン抵抗24として示され、FET8bはオフ状態時にオフ容量25として示され、FET28はオン状態時にオン抵抗29として示される。

ここで、図6に示す等価回路図と同様に、インダクタ21とオフ容量25から成る並列回路は、所望周波数 f_0 で並列共振（オープン）状態となるように設定する。インダクタ19とインダクタ20によるリアクタンスは十分大きいので、

図 9 に示す回路は、所望周波数 f_0 近傍を通過帯域としたバンドパスフィルタ回路とみなすことができる。オン抵抗 24 が十分小さいとき、位相変化はほとんど生じない。したがって、所望周波数 f_0 において、高周波信号入力端子 1 から入力された信号は、位相変化は生じることなく、高周波信号出力端子 2 から出力される。

図 6 に示す等価回路は、主にインダクタ 19 とインダクタ 21 とキャパシタ 22 から成る直列回路において、所望周波数 f_0 より低い周波数で直列共振状態となり、 f_0 付近での移相回路の特性に影響を与える場合があるが、図 9 に示す回路は、キャパシタ 22 をオン抵抗 29 に置き換えたことにより、直列共振を起こさないようにしており、 f_0 付近での移相回路の特性に影響を与えることがなく、良好な特性となる。

図 10 は、図 8において、FET 8a がオフ状態、FET 8b がオン状態、FET 28 がオフ状態のときの等価回路図である。図 10 に示すように、FET 8a はオフ状態時にオフ容量 26 として示され、FET 8b はオン状態時にオン抵抗 27 として示され、FET 28 はオフ状態時にオフ容量 30 として示される。

ここで、図 7 に示す等価回路と同様に、インダクタ 21 によるリアクタンスがオン抵抗 27 に比べて十分大きいとき、オン抵抗 27 とインダクタ 21 から成る並列回路は、オン抵抗 27 のみから成る回路とみなすことができる。よって、図 10 に示す回路は、インダクタ 19 とインダクタ 20 とオフ容量 26 とオフ容量 30 から成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子 1 から入力された信号は、前記オールパスネットワークにより位相遅れが生じ、高周波信号出力端子 2 から出力される。

そして、オフ容量 26 のキャパシタンスを C_1 、オフ容量 30 のキャパシタンスを C_2 、インダクタ 19 とインダクタ 20 のインダクタンスを L 、高周波信号入力端子 1 と高周波信号出力端子 2 の特性インピーダンスを Z_0 としたとき、式 (1) と式 (2) を満たすとする。このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、キャパシタンス C_1 (または C_2) を適切に設定することにより、所望の周波数で所望の位相遅れを得ることができる。

以上のように、図8に示す実施の形態3に係る移相回路は、FET8aとFET8bとFET28のオン／オフ切換動作によりバンドパスフィルタ回路とオールパスネットワークとを切り換え、高周波信号入力端子1から高周波信号出力端子2への通過位相を変化させる。

5 従って、実施の形態3に係る移相回路によれば、実施の形態2に係る移相回路と同様の効果が得られるとともに、バンドパスフィルタ回路の状態において、所望周波数 f_0 より低い周波数での直列共振を起こさないため、 f_0 付近での移相回路の特性に影響を与えない利点がある。

10 なお、図8に示す実施の形態3に係る移相回路において、FET8a、FET8bおよびFET28はスイッチング素子として用いているが、オン／オフ状態を切り換えることができるようなスイッチング機能を有するものであればどのような形式でもよい。

15 また、図8に示す実施の形態3に係る移相回路は、半導体基板上にモノリシックに構成されてもよい。また、受動素子を誘電体基板に、能動素子を半導体基板に構成して、金属ワイヤ、または金パンプ等で両基板を電気的に接続して移相回路を構成してもよい。

実施の形態4.

20 図11は、この発明の実施の形態4に係る移相回路の構成を示す回路図である。図11において、図5と同一または相当する構成については同一符号を付して重複する説明を省略する。図11に示す実施の形態4に係る移相回路は、図5に示す実施の形態2による移相回路のインダクタ21とFET8bから成る並列回路を、FET8bのみに置換したものである。

25 次に、実施の形態4に係る移相回路の動作について説明する。

図12は、図11において、FET8aがオン状態、FET8bがオフ状態のときの等価回路図である。図12に示すように、FET8aはオン状態時にオン抵抗24として示され、FET8bはオフ状態時にオフ容量25として示される。

ここで、キャパシタ22とオフ容量25の合成容量は、ほぼオープン状態とな

るようすに設定する。また、インダクタ 19 とインダクタ 20 によるリアクタンスは十分きいので、図 12 に示す回路は、オン抵抗 24 によるスルー回路とみなすことができる。オン抵抗 24 が十分小さいとき、位相変化はほとんど生じない。したがって、高周波信号入力端子 1 から入力された信号は、位相変化は生じることなく、高周波信号出力端子 2 から出力される。

図 13 は、図 11 において、FET 8a がオフ状態、FET 8b がオン状態のときの等価回路図である。図 13 に示すように、FET 8a はオフ状態時にオフ容量 26 として示され、FET 8b はオン状態時にオン抵抗 27 として示される。このため、図 13 に示す回路は、インダクタ 19 とインダクタ 20 とキャパシタ 22 とオフ容量 26 から成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子 1 から入力された信号は、前記オールパスネットワークにより位相遅れが生じ、高周波信号出力端子 2 から出力される。

ここで、オフ容量 26 のキャパシタンスを C_1 、キャパシタ 22 のキャパシタンスを C_2 、インダクタ 19 とインダクタ 20 のインダクタンスを L 、高周波信号入力端子 1 と高周波信号出力端子 2 の特性インピーダンスを Z_0 としたとき、式 (1) と式 (2) を満たすとする。このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、 C_1 (または C_2) を適切に設定することにより、所望の周波数で所望の位相遅れを得ることができる。

以上により、図 11 に示す実施の形態 4 に係る移相回路は、FET 8a と FET 8b のオン／オフ切換動作によりバンドパスフィルタ回路とオールパスネットワークとを切り換え、高周波信号入力端子 1 から高周波信号出力端子 2 への通過位相を変化させる。

従って、実施の形態 4 に係る移相回路によれば、実施の形態 2 に係る移相回路と同様の効果が得られるとともに、実施の形態 2 の移相回路に比べて、インダクタを 1 つ減らせるため小型化が図れる。

なお、図 11 に示す実施の形態 4 に係る移相回路において、FET 8a および FET 8b はスイッチング素子として用いているが、オン／オフ状態を切り換えることができるようなスイッチング機能を有するものであればどのような形式で

もよい。

また、図11に示す実施の形態4に係る移相回路は、半導体基板上にモノリシックに構成されてもよい。また、受動素子を誘電体基板に、能動素子を半導体基板に構成して、金属ワイヤまたは金バンプ等で両基板を電気的に接続して移相回路を構成してもよい。

実施の形態5.

図14は、この発明の実施の形態5に係る移相回路の構成を示す回路図である。図14において、図5と同一または相当する構成については同一符号を付して重複する説明を省略する。図14に示す実施の形態5に係る移相回路は、図5に示す実施の形態2に係る移相回路のFET8aにキャパシタ31を並列に接続すると共に、FET8bにキャパシタ32を並列に接続したものである。

図14に示す回路においては、FET8aがオン状態、FET8bがオフ状態のときに、図6と同様の動作をする。ここで、オフ容量25と同じキャパシタンスを実現する場合、FET8b1つの場合と比較して、キャパシタ32を追加したことにより、FET8bのオフ容量を小さくすることができる。すなわち、FET8bのサイズを小さくすることができる。

また、FET8aがオフ状態、FET8bがオン状態のときに、図7と同様の動作をする。ここで、オフ容量26と同じキャパシタンスを実現する場合、FET8a1つの場合と比較して、キャパシタ31を追加したことにより、FET8aのオフ容量を小さくすることができる。すなわち、FET8aのサイズを小さくすることができる。

以上のように、図14に示す実施の形態5に係る移相回路は、実施の形態2と同様の効果が得られるとともに、実施の形態2の移相回路に比べてFETのサイズを小さくすることができ、小型化が図れる。

なお、図14に示す実施の形態5に係る移相回路において、FET8aおよびFET8bはスイッチング素子として用いているが、オン／オフ状態を切り換えることができるようなスイッチング機能を有するものであればどのような形式でもよい。

また、図14に示す実施の形態5に係る移相回路は、半導体基板上にモノリシックに構成されてもよい。また、受動素子を誘電体基板に、能動素子を半導体基板に構成して、金属ワイヤ、または金バンプ等で両基板を電気的に接続して移相回路を構成してもよい。

5

実施の形態6.

図15は、この発明の実施の形態6に係るもので、基板上に形成される移相回路の構成を示す上面図である。

図15は、コプレーナ線路構造の場合の構成を示しており、基板35を片面からの微細加工技術で掘り込んで形成した第1のキャビティ39の端部に支持され空気層を介して中空に第1の誘電体支持膜40が存在し、誘電体支持膜40上に第1のメアンダーライン38aと第2のメアンダーライン38bは形成されている。

キャビティ39の底面と誘電体支持膜40とは、数ミクロン～数十ミクロンの間隔がある。キャビティ39の底面はメタルで覆われていても、覆われていなくてどちらでも良い。33と34は高周波信号入力端子と高周波信号出力端子を示し、36と37は基板35上に形成されるスルー／直列容量切替素子とスルー／シャント容量切替素子を示す。

図16は、図15に示すスルー／直列容量切替素子36の詳細な構成を示す分解図である。図16に示すように、基板41（図15に示す基板35と同一）を片面からの微細加工技術で掘り込んで形成した第2のキャビティ42の底面には、制御電極43とコンタクトメタル44が形成される。

第2のキャビティ42の左右端部に支持され空気層を介して中空に存在する第2の誘電体支持膜45には貫通穴46aと46bが設けられると共に、下面（裏面）にメタル47が形成されている。第2の誘電体支持膜45面上には、第1と第2の高周波信号伝送線48aと48bが間隔を隔てて設けられると共に、第1と第2のグランドメタル49aと49bが設けられている。

第1の高周波信号伝送線48a、第2の高周波信号伝送線48b、第1のグランドメタル49aおよび第2のグランドメタル49bは、中心に間隙を有するコプレーナ線路を形成している。前記コプレーナ線路は、第2の誘電体支持膜45

の上面に形成されている。第1の高周波信号伝送線48aは、貫通穴46a部分においては、メタルパターンが第2の誘電体支持膜45を貫通している。第2の高周波信号伝送線48bも同様に、貫通穴46b部分においては、メタルパターンが第2の誘電体支持膜45を貫通している。前記コプレーナ線路を有する第2の誘電体支持膜45は、第2のキャビティ42の空気層を介した中空に存在しており、第2のキャビティ42の底面と第2の誘電体支持膜45とは、数ミクロン～数十ミクロンの間隔がある。

次に、図15に示すスルー／直列容量切替素子36の動作について説明する。

図17は、制御電極43に電圧を印加していない場合のスルー／直列容量切替素子36の図15に示すA-A'線断面図である。メタル47、第1の高周波信号伝送線48aおよび第2の誘電体支持膜45が容量を形成している。また、メタル47、第2の信号線48bおよび第2の誘電体支持膜45も容量を形成している。つまり、直列容量の状態となる。

また、図18は、第1の制御電極43に電圧を印加した場合のスルー／直列容量切替素子36の図15に示すA-A'線断面図である。第1のグランドメタル49aおよび第2のグランドメタル49bと第1の制御電極43の間に静電引力が働き、第2の誘電体支持膜45は、第2のキャビティ42の底面の方向に変位する。このとき、コンタクトメタル44を介して、第1の高周波信号伝送線48aと第2の高周波信号伝送線48bは導通し、スルー状態となる。

次に、図15に示すスルー／シャント切替素子37の動作について説明する。

図19は、図15に示すスルー／シャント容量切替素子37の詳細な構成を示す分解図である。図19に示すように、基板41（図15に示す基板35と同一）を片面からの微細加工技術で掘り込んで形成した第3のキャビティ50の底面および基板41上には第2の制御電極51とグランドメタル52が形成されている。そして、キャビティ50の左右端部で支持され空気層を介して中空に第3の誘電体支持膜53が存在し、誘電体支持膜53の上面に第3の高周波信号伝送線54、第3のグランドメタル55aおよび第4のグランドメタル55bが形成されている。

第3の高周波信号伝送線54、グランドメタル52、第3のグランドメタル5

5 a および第4のグランドメタル 5 5 b は、グランデッドコプレーナ線路を形成している。第3のキャビティ 5 0 の底面と第3の誘電体支持膜 5 3 とは、数ミクロン～数十ミクロンの間隔がある。

次に、図 1 5 に示すスルー／シャント容量切替素子 3 7 の動作について説明する。図 2 0 は、第2の制御電極 5 1 に電圧を印加していない場合のスルー／シャント容量切替素子 3 7 の図 1 5 に示す B-B' 線断面図である。このとき、高周波信号は前記グランデッドコプレーナ線路を伝送する。つまり、スルーの状態となる。

図 2 1 は、第2の制御電極 5 1 に電圧を印加した場合のスルー／シャント容量切替素子 3 7 の図 1 5 に示す B-B' 線断面図である。第3のグランドメタル 5 5 a および第4のグランドメタル 5 5 b と第2の制御電極 5 1 の間に静電引力が働き、第3の誘電体支持膜 5 3 は、第3のキャビティ 5 0 の底面の方向に変位する。このとき、第3の誘電体支持膜 5 3 を介して、第3の高周波信号伝送線 5 4 とグランドメタル 5 2 が接触する。つまり、グランドに対して容量を示す状態となる。

次に、図 1 5 に示す移相回路の動作について説明する。

図 2 2 は、スルー／直列容量切替素子 3 6 がスルー状態、スルー／シャント容量切替素子 3 7 がスルー状態のときの図 1 5 に示す移相回路の等価回路図である。このとき、第1の制御電極 4 3 に電圧を印加し、第2の制御電極 5 1 に電圧を印加していない状態（グランドと同電位）である。5 6 は高周波信号入力端子 3 3 に相当する端子、5 7 は高周波信号出力端子 3 4 に相当する端子、5 8 a は第1のメアンダーライン 3 8 a に相当するインダクタ、5 8 b は第2のメアンダーライン 3 8 b に相当するインダクタである。

インダクタ 5 8 a とインダクタ 5 8 b によるリアクタンスが十分大きいとすると、図 2 2 に示す回路は、スルー回路とみなすことができる。したがって、高周波信号入力端子 5 6 から入力された信号は、位相変化が生じることなく、高周波信号出力端子 5 7 から出力される。このとき、前記スルー回路は全ての周波数において整合がとれるため、反射損失がない。

また、図 2 3 は、スルー／直列容量切替素子 3 6 が直列容量状態、スルー／シ

ヤント容量切替素子 3 7 がシャント容量状態のときの図 1 5 に示す移相回路の等価回路図である。このとき、第 1 の制御電極 4 3 に電圧を印加せず（グランドと同電位）、第 2 の制御電極 5 1 に電圧を印加している状態である。図 2 3 において、図 2 2 と同一または相当する構成については同一符号を付して重複する説明を省略する。キャパシタ 5 9 はスルー／直列容量切替素子 3 6 が直列容量状態のときに示すものであり、キャパシタ 6 0 はスルー／シャント容量切替素子 3 7 がシャント容量状態のときに示すグランドに対するキャパシタである。

図 2 3 に示す回路は、インダクタ 5 8 a とインダクタ 5 8 b とキャパシタ 5 9 とキャパシタ 6 0 とから成るオールパスネットワークとみなすことができる。したがって、高周波信号入力端子 5 6 から入力された信号は、前記オールパスネットワークにより位相遅れが生じて、高周波信号出力端子 5 7 から出力される。

ここで、キャパシタ 5 9 のキャパシタンスを C_1 、キャパシタ 6 0 のキャパシタンスを C_2 、インダクタ 5 8 a とインダクタ 5 8 b のインダクタンスを L 、高周波信号入力端子 5 6 と高周波信号出力端子 5 7 の特性インピーダンスを Z_0 としたとき、式（1）と式（2）を満たすとする。

このとき、前記オールパスネットワークは全ての周波数において整合がとれるため、反射損失がない。さらに、キャパシタ C_1 （または C_2 ）を適切に設定することにより、所望の位相遅れを得ることができる。

以上により、図 1 5 に示す実施の形態 6 に係る移相回路は、スルー／直列容量切替素子 3 6 の切り替え動作と、スルー／シャント容量切替素子 3 7 の切り替え動作により、スルーの状態とオールパスネットワークの状態とを切り替え、高周波信号入力端子 5 6 から入力された信号が高周波信号出力端子 5 7 に出力される際に生じる通過位相を変化させる。

従って、実施の形態 6 に係る移相回路によれば、インダクタンス L とキャパシタンス C_1 とキャパシタンス C_2 を適切に設定すれば、広帯域に所望の移相量を得ることができる。つまり、従来例に比べて広帯域で動作する移相回路が得られる。

また、図 1 5 に示す実施の形態 6 の移相回路は、実施の形態 1 ～ 5 と同様の効果が得られる。さらに、微細加工技術を用いることにより、機械的に駆動するス

ルー／直列容量切替素子とスルー／シャント容量切替素子をスイッチング素子に用いているため、実施の形態2～5のように半導体のスイッチング素子を用いている場合に比べて低損失化が図れる。

さらに、微細加工技術を用いて中空構造を採用しているため、高周波特性が基板の影響を受けにくい。つまり、低抵抗シリコン基板やガラス基板のような安価な基板を用いることができ、半導体基板を用いる場合と比べて低コスト化が図れる。

なお、図15に示す実施の形態6に係る移相回路において、インダクタとして基板を片面微細加工して形成したキャビティの中空構造メアンダーラインを採用しているが、誘電体支持膜の両面にパターンニングして形成したスパイラルインダクタでもよい。また、中空構造ではなく、基板上にメアンダーラインを形成してもよい。

また、スルー／直列容量切替素子とスルー／シャント容量切替素子において、誘電体支持膜の上に高周波信号伝送線路を形成しているが、更にその上に誘電体支持膜を形成して3層構造としてもよい。これにより、メタルパターンが誘電体支持膜で挟まれるため、応力が垂直方向に対称となり平坦になる。

また、片面微細加工により、キャビティを形成した基板をもう一つ設け、移相回路を上からカバーすることによりパッケージ状態にしてもよい。これにより、機械的に駆動するスルー／直列容量切替素子とスルー／シャント容量切替素子を20湿気等からシールドすることができ、信頼性を高めることができる。

実施の形態7.

図24は、この発明の実施の形態7に係る移相回路におけるスルー／直列容量切替素子の詳細を示す図である。図16と同一または相当する構成については同一符号を付して重複する説明を省略する。図24に示すように、基板41の片面のみを堀り込んで形成されたキャビティ42の底面には、第5の高周波信号伝送線61a、第6の高周波信号伝送線61b、第5のグランドメタル62aおよび第6のグランドメタル62bが形成されており、中心に間隙を有するコプレーナ線路を構成している。

キャビティ 4 2 の端で支持され第 4 の誘電体支持膜 6 3 はキャビティ 4 2 の空気層を介した中空に存在している。第 4 の誘電体支持膜 6 3 上には第 3 の制御電極 6 4 が形成されており、第 4 の誘電体支持膜 6 3 の裏面にはコンタクトメタル 6 5 が形成されている。キャビティ 4 2 の底面と第 4 の誘電体支持膜 6 3 とは、
5 数ミクロン～数十ミクロンの間隔がある。

次に、前記スルー／直列容量切替素子の動作について説明する。

図 2 5 は、第 3 の制御電極 6 4 に電圧を印加していない場合の図 2 4 の C—C' 線断面図である。図 2 5 に示すように、誘電体膜 6 6 の上にメタル 6 7 が形成されており、メタル 6 7 、第 5 の高周波信号伝送線 6 1 a および誘電体膜 6 6 が容量を形成している。また、メタル 6 7 、第 6 の高周波信号伝送線 6 1 b および誘電体膜 6 6 も容量を形成している。つまり、直列容量の状態となる。

また、図 2 6 は、第 3 の制御電極 6 4 に電圧を印加した場合の図 2 4 の C—C' 線断面図である。図 2 6 に示すように、第 5 のグランドメタル 6 2 a および第 6 のグランドメタル 6 2 b と第 3 の制御電極 6 4 の間に静電引力が働き、第 4 の誘電体支持膜 6 3 は、キャビティ 4 2 の底面の方向に変位する。このとき、コンタクトメタル 6 5 を介して、第 5 の信号線 6 1 a と第 6 の信号線 6 1 b は導通し、スルー状態となる。

図 2 7 は、この発明の実施の形態 7 に係る移相回路におけるスルー／シャント容量切替素子の詳細を示す上面図である。図 2 7 において、図 2 4 と同一または相当する構成については同一符号を付して重複する説明を省略する。図 2 7 に示すように、基板 4 1 の片面のみを堀り込んで形成されたキャビティ 4 2 の底面には、第 7 の高周波信号伝送線 6 8 、第 7 のグランドメタル 6 9 a および第 8 のグランドメタル 6 9 b が形成されており、コプレーナ線路を構成している。キャビティ 4 2 の端で支持され空気層を介した中空に第 5 の誘電体支持膜 7 0 が存在している。

第 5 の誘電体支持膜 7 0 の上に形成されているメタル 7 1 と、第 4 の制御電極 7 2 が形成されている。キャビティ 4 2 の底面と第 5 の誘電体支持膜 7 0 とは、数ミクロン～数十ミクロンの間隔がある。メタル 7 1 と第 7 のグランドメタル 6 9 a および第 8 のグランドメタル 6 9 b とは基板 4 1 上で接続されており、メタ

ル7 1はグランドと同電位である。

次に、前記スルー／シャント容量切替素子の動作について説明する。

図28は、図27の第4の制御電極72に電圧を印加していない場合のD—D'線断面図である。このとき、高周波信号はキャビティ42の底面上のコプレーナ線路を伝送する。つまり、スルーの状態となる。

また、図29は、図27の第4の制御電極72に電圧を印加した場合のD—D'線断面図である。第7のグランドメタル69aおよび第8のグランドメタル69bと第4の制御電極72の間に静電引力が働き、第4の誘電体支持膜70は、キャビティ42の底面の方向に変位する。このとき、第5の誘電体支持膜70を介して、第7の信号線68とメタル71が接触する。つまり、グランドに対して容量を示す状態となる。

実施の形態7に係る移相回路は、実施の形態6に係る移相回路を示す図15において、スルー／直列容量切替素子36を図24に示すスルー／直列容量切替素子に、スルー／シャント容量切替素子37を図27に示すスルー／シャント容量切替素子に置き換えたものであり、その動作は、実施の形態6に係る移相回路と同様である。

以上のように、実施の形態7の移相回路は、実施の形態1～6と同様の効果が得られる。また、微細加工技術を用いることにより、機械的に駆動するスルー／直列容量切替素子とスルー／シャント容量切替素子をスイッチング素子に用いているため、実施の形態2～5のように半導体のスイッチング素子を用いている場合に比べて低損失化が図れる。

さらに、微細加工技術を用いて中空構造を採用しているため、高周波特性が基板の影響を受けにくい。つまり、低抵抗シリコン基板やガラス基板のような安価な基板を用いることができ、半導体基板を用いる場合と比べて低コスト化が図れる。

なお、実施の形態7に係る移相回路において、インダクタとして、基板を片面微細加工して形成したキャビティの中空構造メアンダーラインを採用しているが、誘電体支持膜の両面にパターンニングして形成したスパイラルインダクタでもよい。また、中空構造ではなく、基板上にメアンダーラインを形成してもよい。

また、スルー／直列容量切替素子とスルー／シャント容量切替素子において、誘電体支持膜の上にメタルパターンを形成しているが、更にその上に誘電体支持膜を形成して3層構造としてもよい。これにより、メタルパターンが誘電体支持膜で挟まれるため、応力が垂直方向に対称となり平坦になる。

5 また、片面微細加工により、キャビティを形成した基板をもう一つ設け、移相回路を上からカバーすることによりパッケージ状態にしてもよい。これにより、機械的に駆動するスルー／直列容量切替素子とスルー／シャント容量切替素子を湿気等からシールドすることができ、信頼性を高めることができる。

10 実施の形態8.

図30は、この発明の実施の形態8による移相器の構成を示すブロック図である。図30に示す移相器は、高周波信号入力端子73と高周波信号出力端子74との間に、1ビット分の移相回路75(75a, 75b, 75c)を複数個多段接続している。ここで、移相回路75には、実施の形態1～7の移相回路を用いている。1ビットの移相回路75を多段接続して移相器を構成することにより、多ビット動作する移相器を実現できるという効果が得られる。

産業上の利用の可能性

以上のように、この発明によれば、小型で広帯域な移相量特性を有する移相回路および当該移相回路に用いられる高周波スイッチを得ることができると共に、小型で広帯域な移相量特性を有する多ビット移相器を実現できる。

請求の範囲

1. スルーとキャパシタンス C_1 の容量とを切り替える第 1 のスイッチング素子と、

5 スルーとグランドに対するキャパシタンス C_2 の容量とを切り替える第 2 のスイッチング素子と、

インダクタンス L をもつ第 1 および第 2 のインダクタとを備え、

前記第 1 と第 2 のスイッチング素子の一端同士を前記第 1 のインダクタで接続

10 し、前記第 1 と第 2 のスイッチング素子の他端同士を前記第 2 のインダクタで接続し、前記第 1 のスイッチング素子の一端を高周波信号入力端子に接続し、前記第 1 のスイッチング素子の他端を高周波信号出力端子に接続し、高周波信号入力端子及び高周波信号出力端子の特性インピーダンスを Z_0 としたとき、

$$C_2 = 4 C_1 \quad (1)$$

$$15 Z_0 = (L / 2 C_1)^{1/2} \quad (2)$$

を満たす移相回路。

2. 請求項 1 に記載の移相回路において、

前記第 1 のスイッチング素子を、オン時はスルー状態となり、オフ時は容量性

20 を示すスイッチング素子で構成し、

前記第 2 のスイッチング素子を、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子にインダクタが並列接続された並列回路と、当該並列回路とキャパシタンスの容量との直列回路で構成し、

前記直列回路の一端をグランドに接続し、前記直列回路の他端を前記第 1 と第

25 2 のインダクタの他端に接続した

ことを特徴とする移相回路。

3. 請求項 2 に記載の移相回路において、

前記キャパシタンスの容量を、オン時はスルー状態となり、オフ時は容量性を

示すスイッチング素子で構成した
ことを特徴とする移相回路。

4. 請求項 2 に記載の移相回路において、

5 前記並列回路を、オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子に置換した
ことを特徴とする移相回路。

5. 請求項 2 に記載の移相回路において、

10 オン時はスルー状態となり、オフ時は容量性を示すスイッチング素子を、オン
時はスルー状態となり、オフ時に容量性を示すスイッチング素子とキャパシタと
の並列回路に置換した
ことを特徴とする移相回路。

15 6. 基板の片面のみを掘り込んで形成されたキャビティの底面に形成され
た第 1 の導体および制御電極と、

前記キャビティの端部で支持され空気層を介して中空に存在する誘電体支持膜
と、

前記支持膜面上に間隔を隔てて形成された一対の高周波信号伝送線路と、

20 前記支持膜の裏面に備えられて、前記一対の高周波信号伝送線路間に平行平板
キャパシタを形成するための第 2 の導体と
を備え、

前記一対の高周波信号伝送線路は、前記支持膜の一部を貫通する導体突起部を
それぞれ有し、前記制御電極への電圧印加時に前記支持膜が前記キャビティの底
25 面方向に変位して前記各導体突起部が前記第 1 の導体に接触することでスルー状
態となり、

機械的に駆動するスルー／直列容量切替素子を構成する高周波スイッチ。

7. 基板の片面のみを掘り込んで形成されたキャビティの底面に形成され

た地導体および制御電極と、

前記キャビティの端部に支持され空気層を介して中空に存在する誘電体支持膜と、

前記支持膜面上に形成された高周波信号伝送線路と

5 を備え、

前記制御電極への電圧印加時に前記支持膜がキャビティの底面方向に変位して前記支持膜が前記地導体に接触することでグランドに対して容量を示す状態になり、

機械的に駆動するスルー／シャント容量切替素子を構成する高周波スイッチ。

10

8. 基板の片面のみを掘り込んで形成されたキャビティの底面に間隔を隔てて形成され、導体突起部をそれぞれ有する一対の高周波信号伝送線路と、

前記一対の高周波信号伝送線路間を跨って当該一対の高周波信号伝送線路上に形成された誘電体膜と、

15

前記誘電体膜上に形成された第1の導体と、

前記キャビティの端部で支持され空気層を介して中空に存在する誘電体支持膜と、

前記支持膜の裏面に形成された第2の導体と、

前記支持膜面上に形成された制御電極と

20

を備え、

前記制御電極への電圧印加時に前記支持膜が前記キャビティの底面方向に変位して前記第2の導体が前記各導体突起部に接触することで前記一対の高周波信号伝送線路がスルー状態となり、

機械的に駆動するスルー／直列容量切替素子を構成する高周波スイッチ。

25

9. 基板の片面のみを掘り込んで形成されたキャビティの底面に形成された高周波信号伝送線路と、

前記キャビティの端部で支持され空気層を介して中空に存在する誘電体支持膜と、

前記支持膜面上に形成された制御電極およびグランド導体と
を備え、

前記制御電極への電圧印加時に前記支持膜がキャビティの底面方向に変位して
前記支持膜が前記高周波信号伝送線路と接触することでグランドに対して容量を
5 示す状態になり、

機械的に駆動するスルー／シャント容量切替素子を構成する高周波スイッチ。

10. 請求項 1 に記載の移相回路において、

前記第 1 のスイッチング素子を請求項 6 または 8 に記載の高周波スイッチで構
10 成し、

前記第 2 のスイッチング素子を請求項 7 または 9 に記載の高周波スイッチで構
成した

ことを特徴とする移相回路。

15 11. 請求項 1 ないし 5 のいずれか 1 項に記載の移相回路を組み合わせて
構成した

ことを特徴とする多ビット移相器。

12. 請求項 10 に記載の移相回路を組み合わせて構成した

20 ことを特徴とする多ビット移相器。

図 1

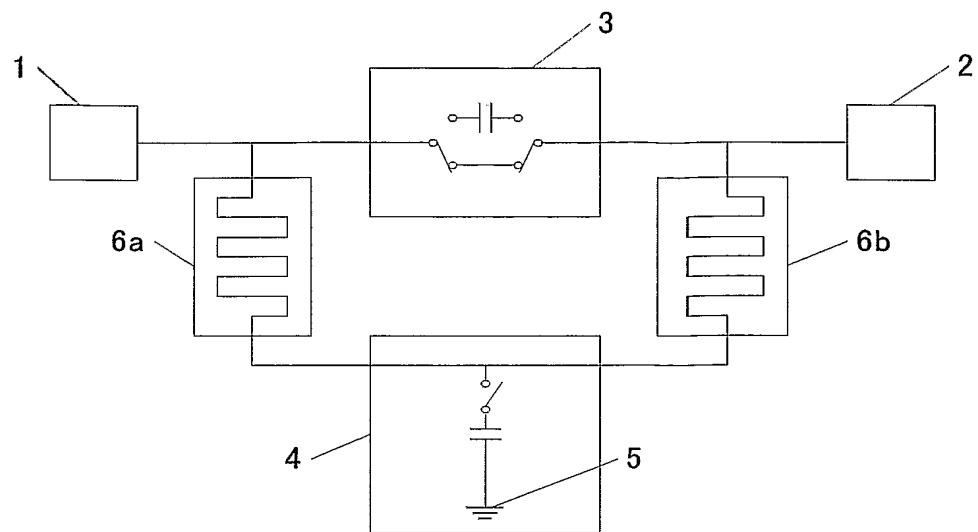


図 2



図 3

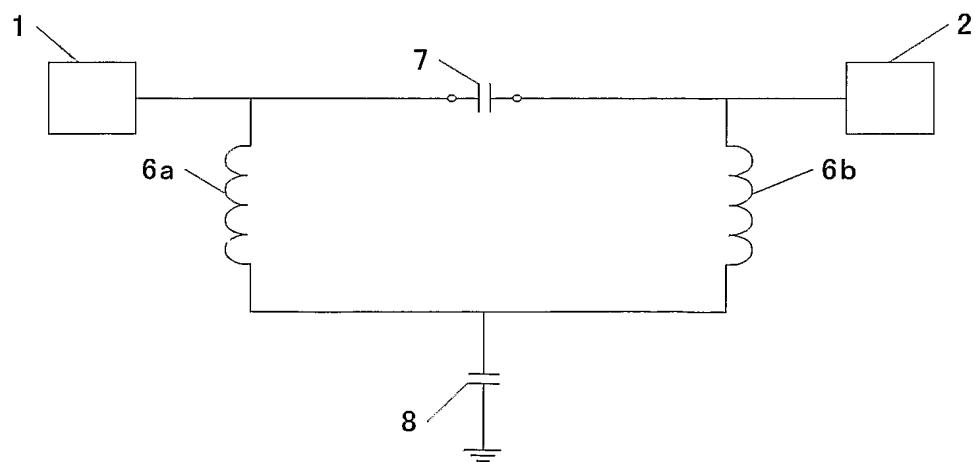


図 4

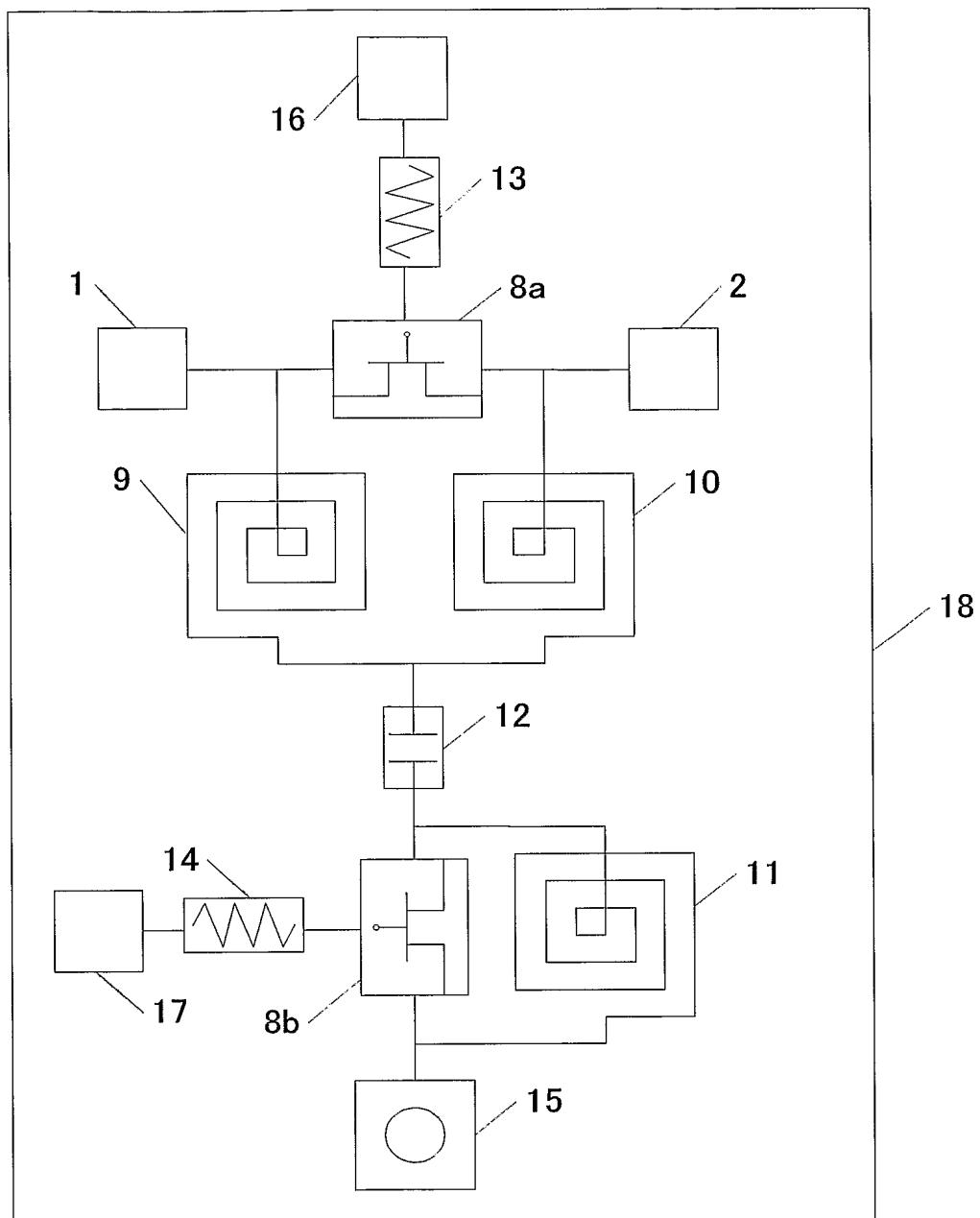


図 5

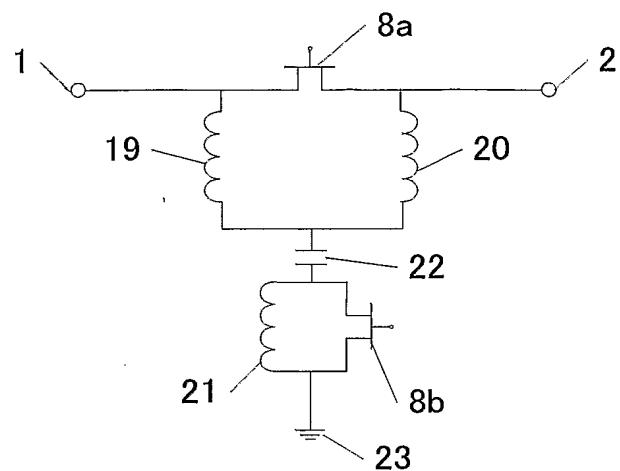


図 6

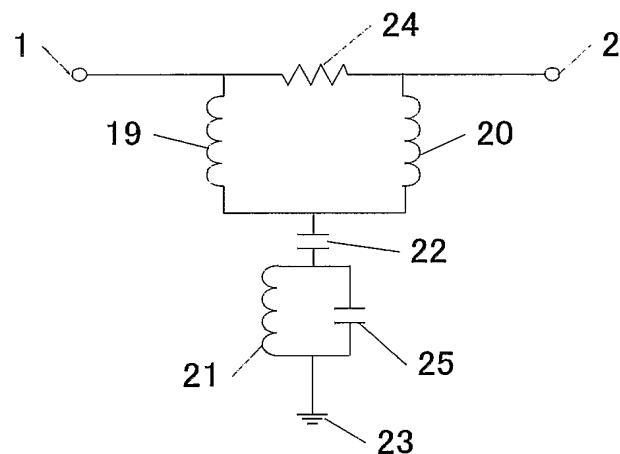


図 7

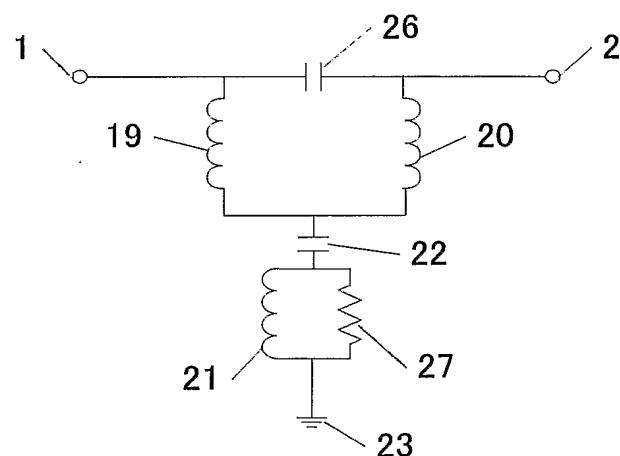


図 8

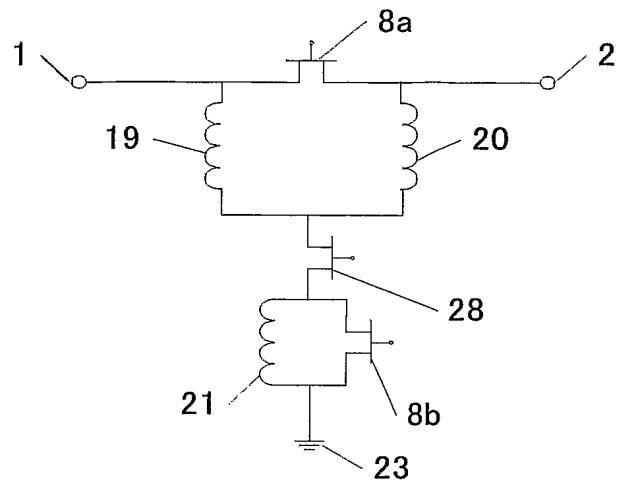


図 9

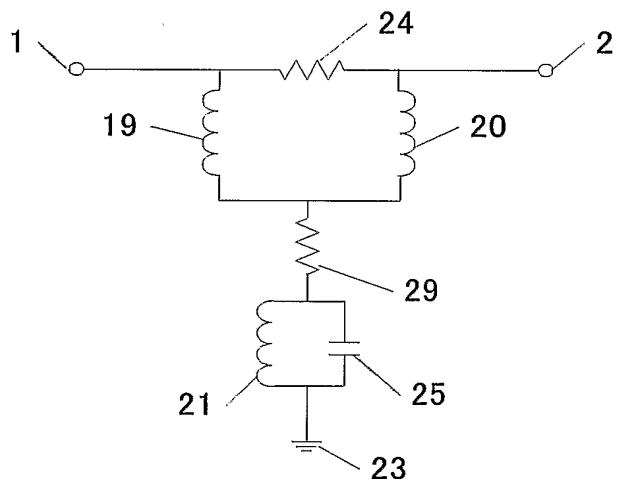


図 10

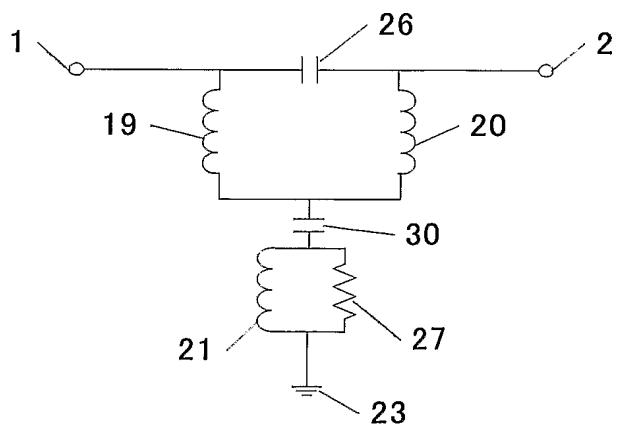


図 1 1

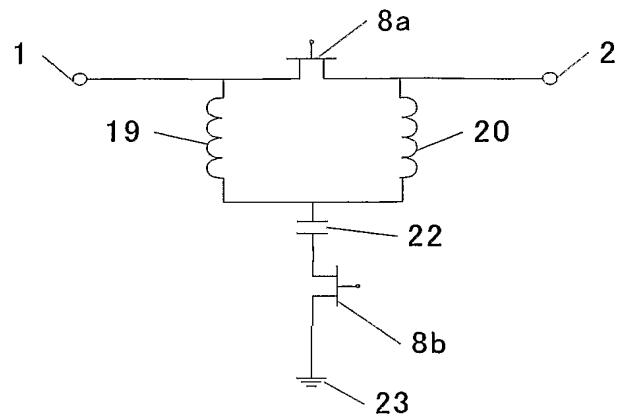


図 1 2

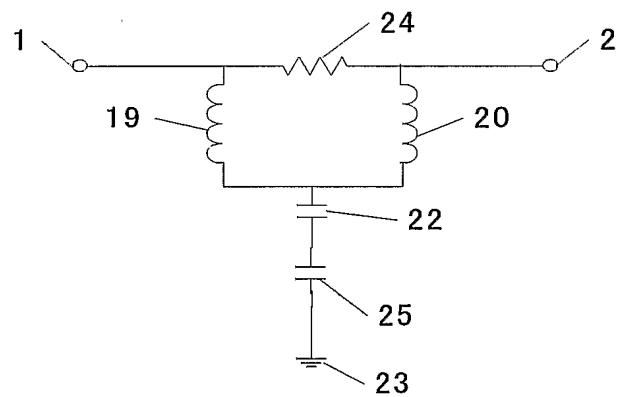


図 1 3

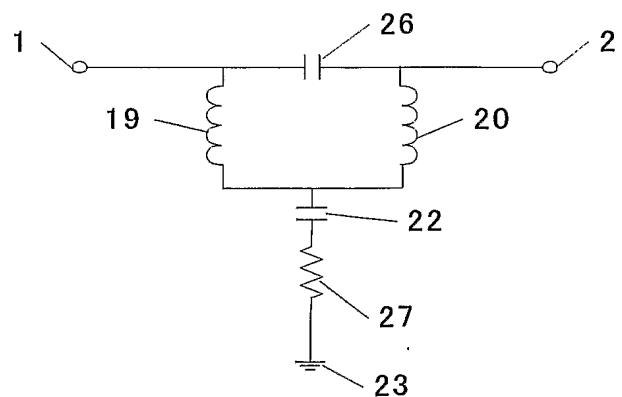


図 1 4

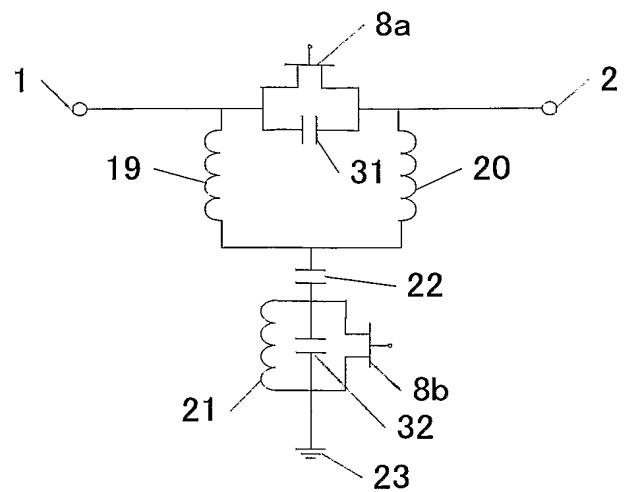


図 15

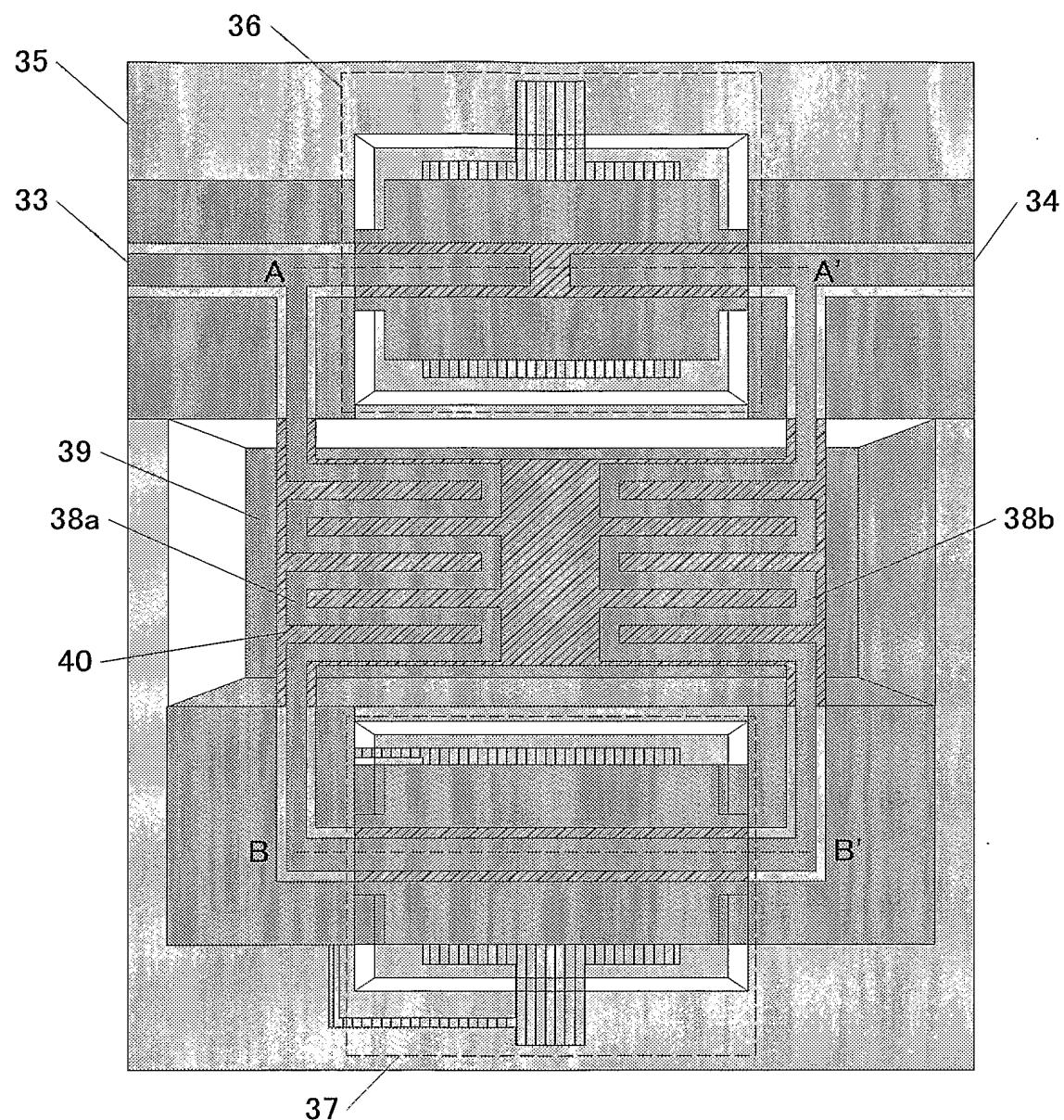


図 1 6

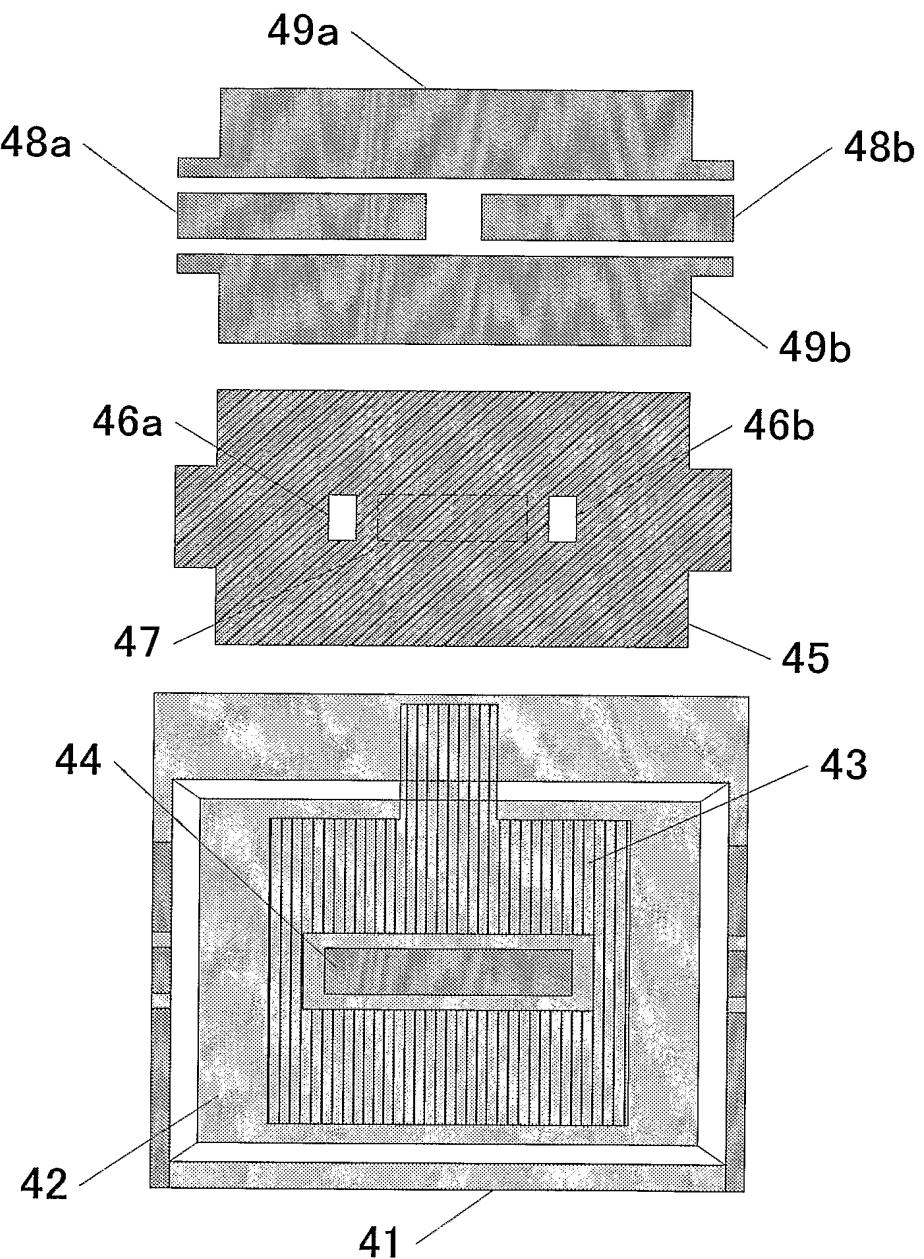


図 1 7

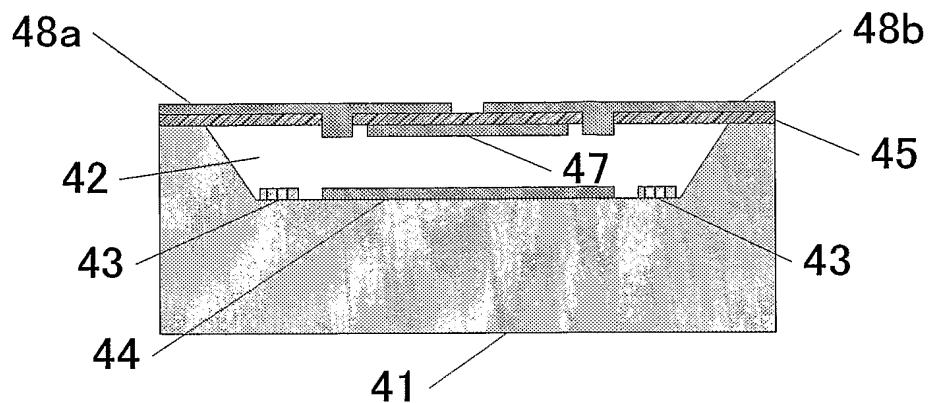


図 1 8

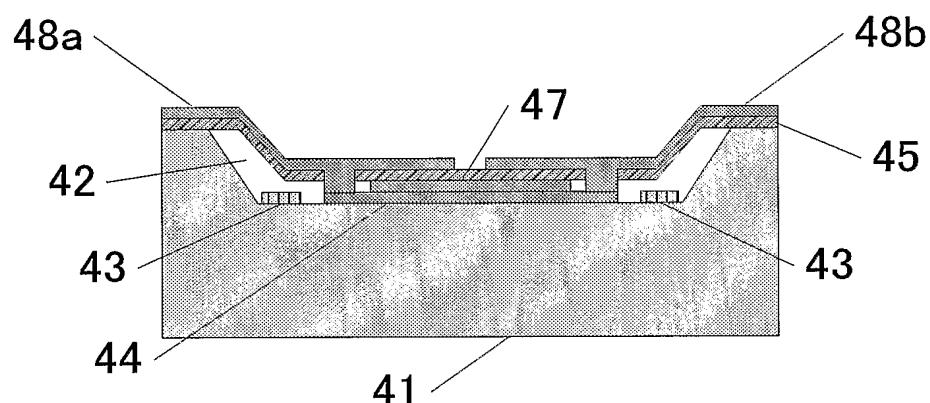


図 1 9

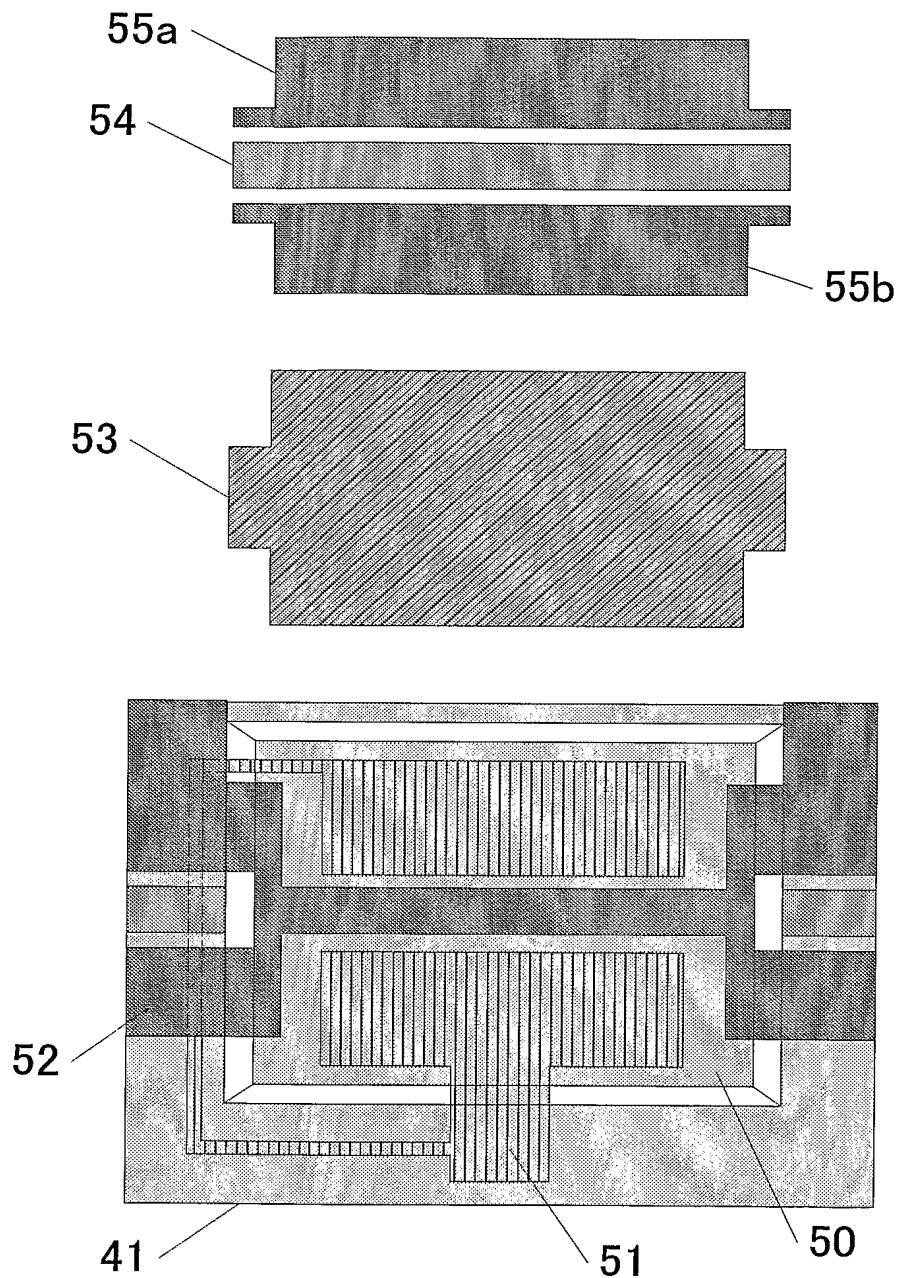


図 2 0

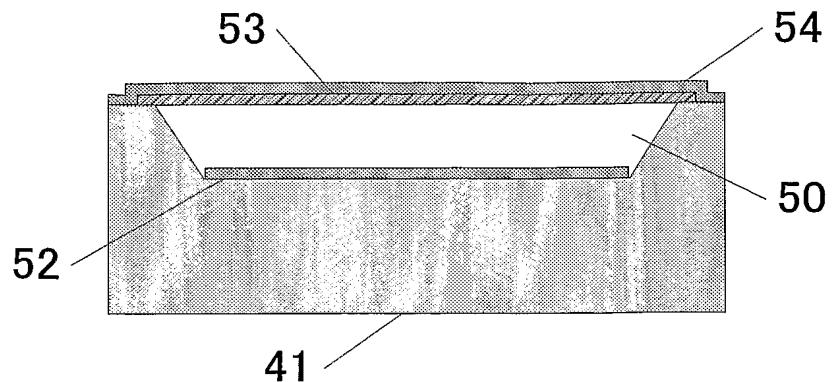


図 2 1

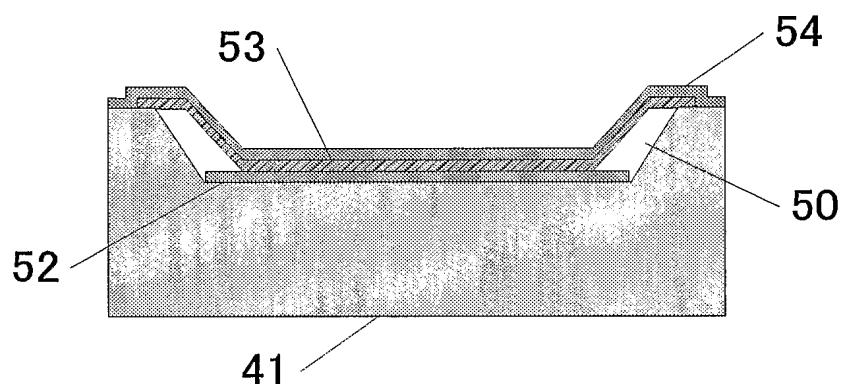


図 2 2

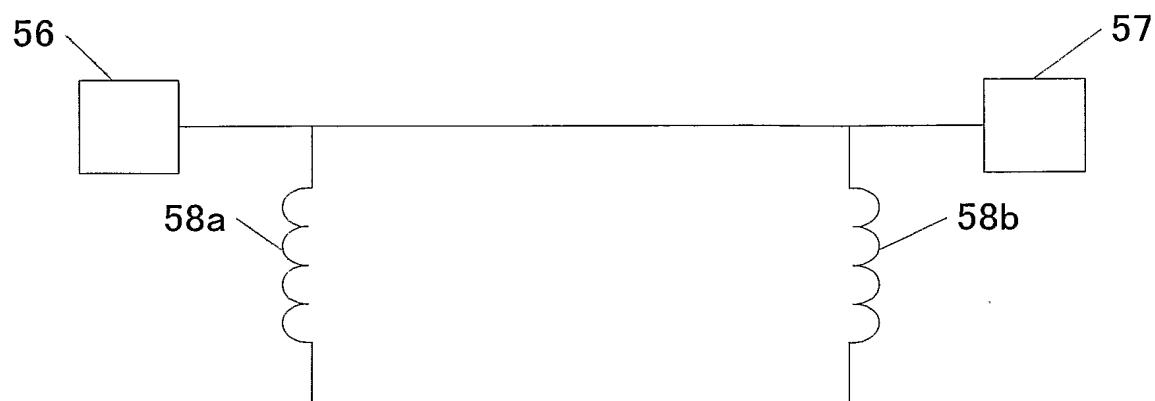


図 2 3

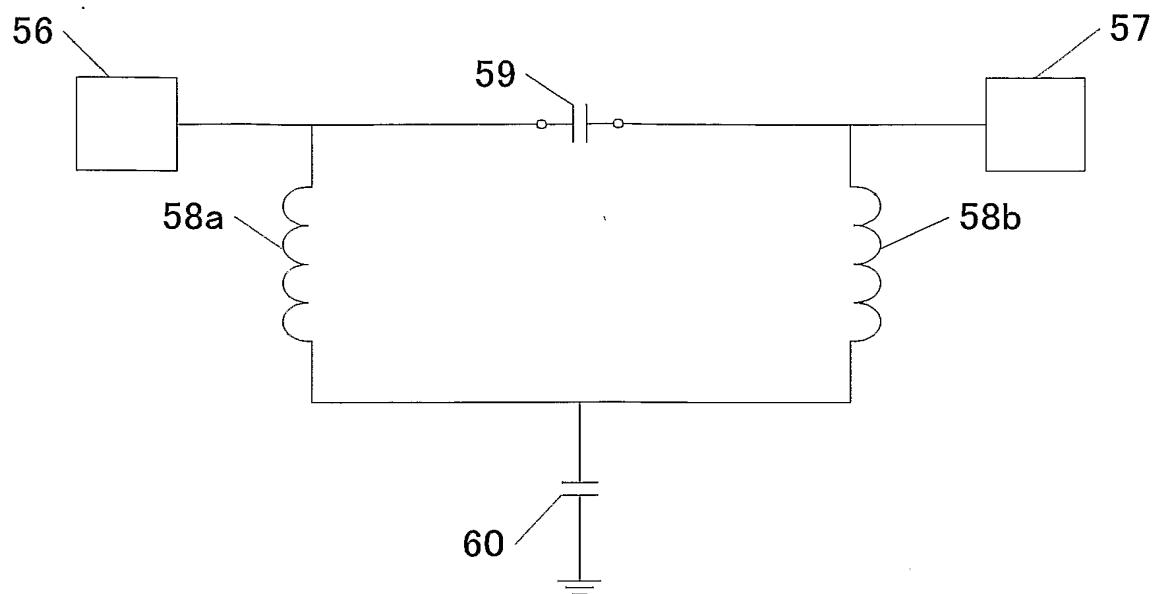


図 2 4

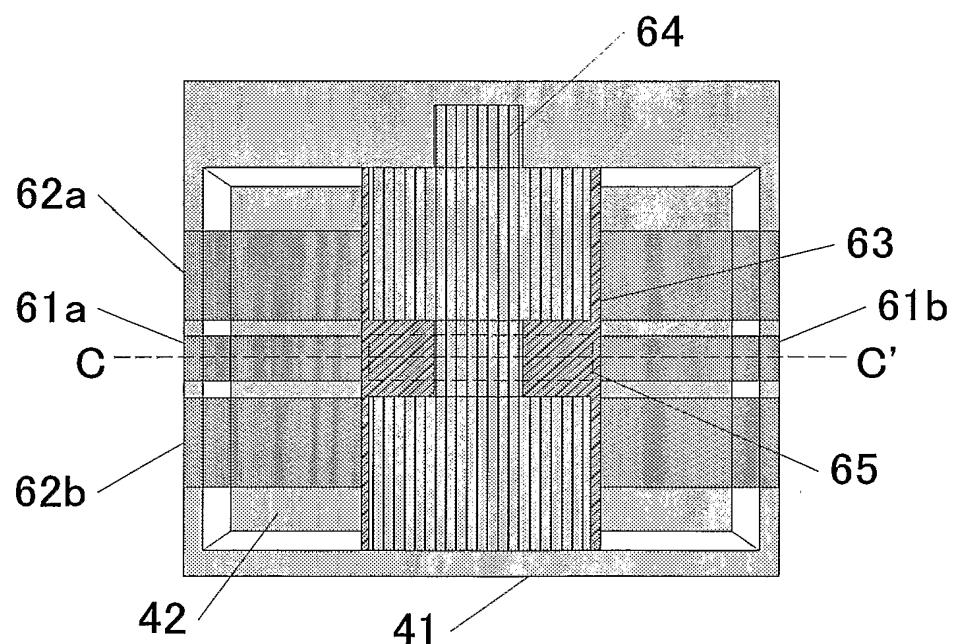


図 2 5

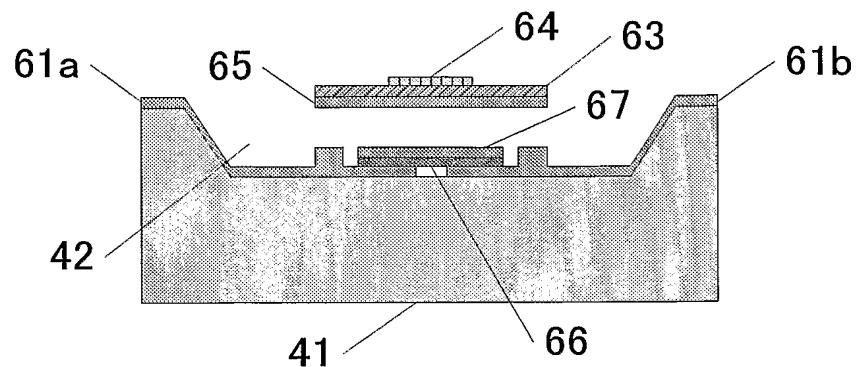


図 2 6

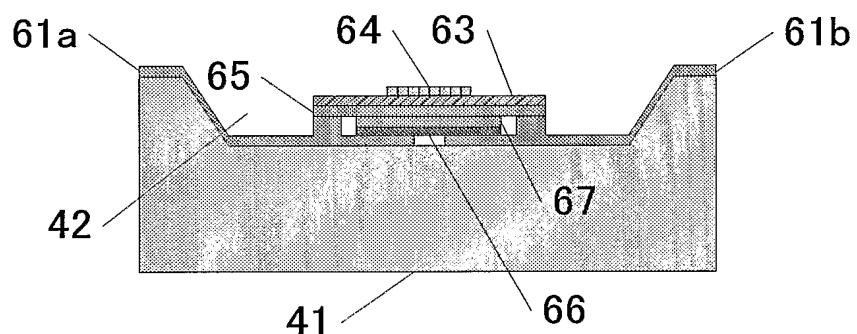


図 2 7

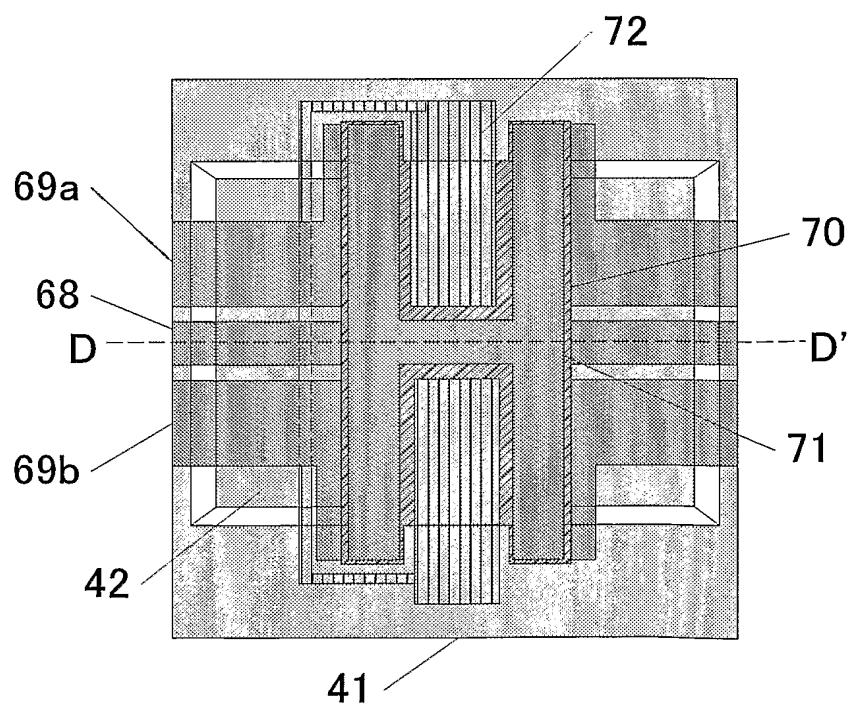


図 2 8

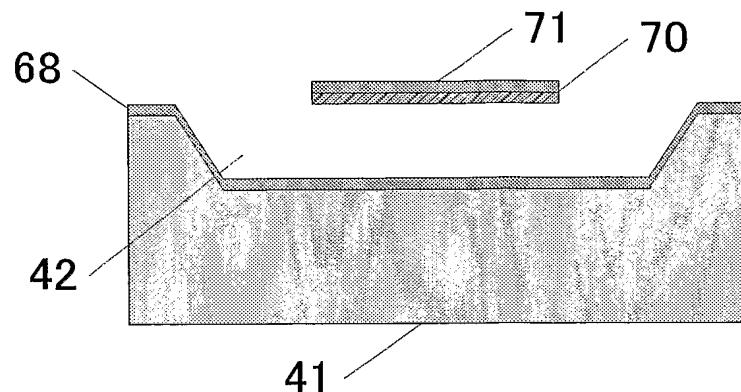


図 2 9

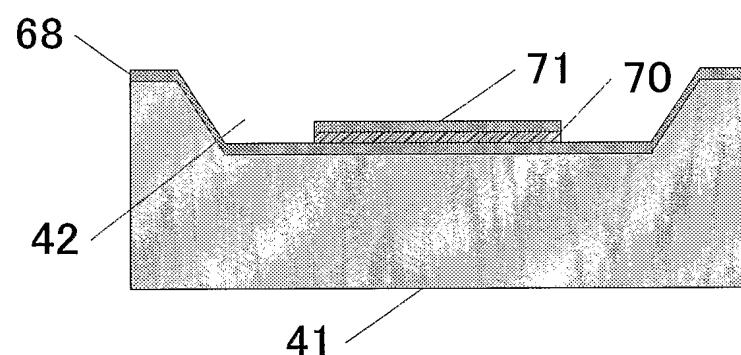


図 3 0

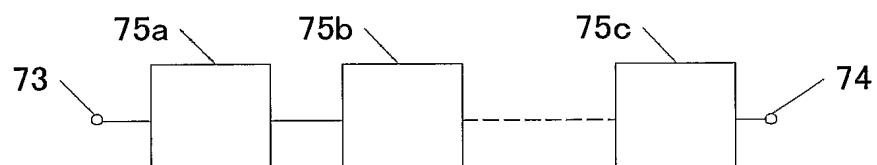


図 3 1

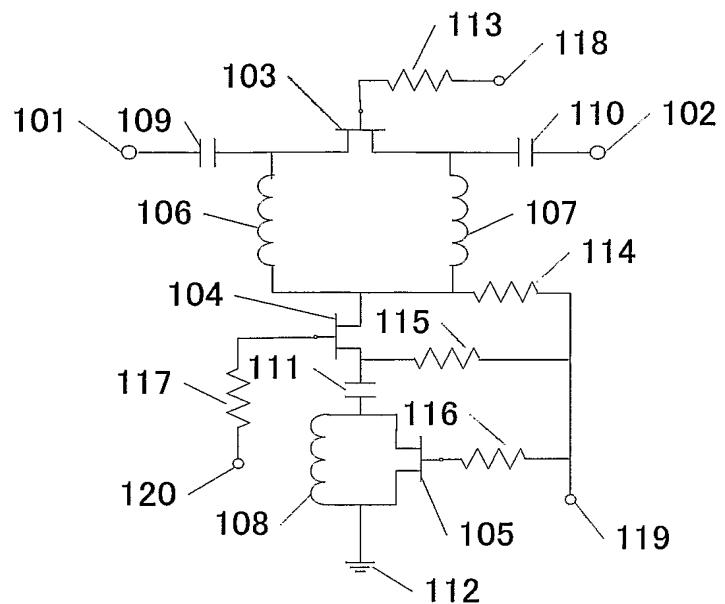


図 3 2

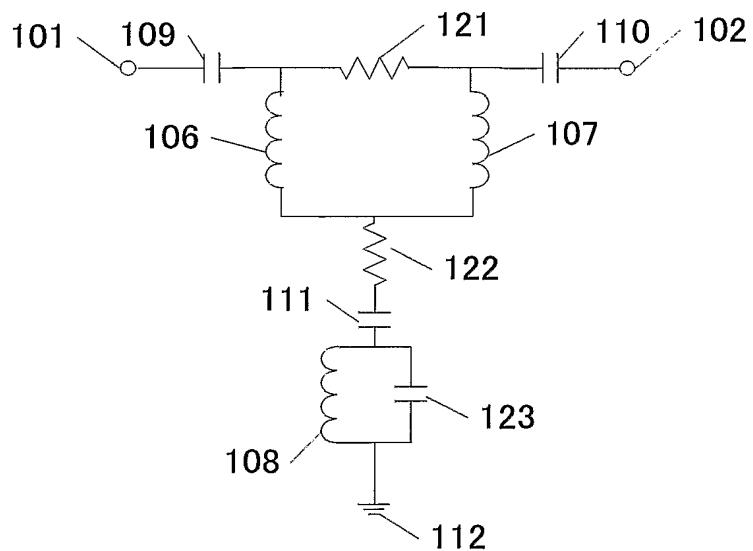


図 3 3

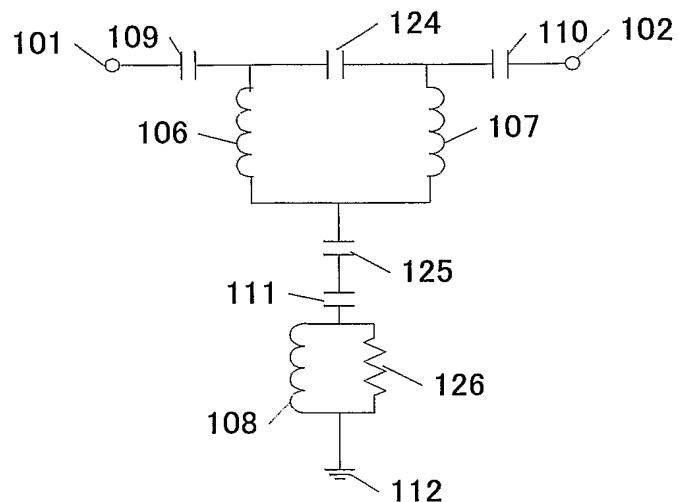


図 3 4

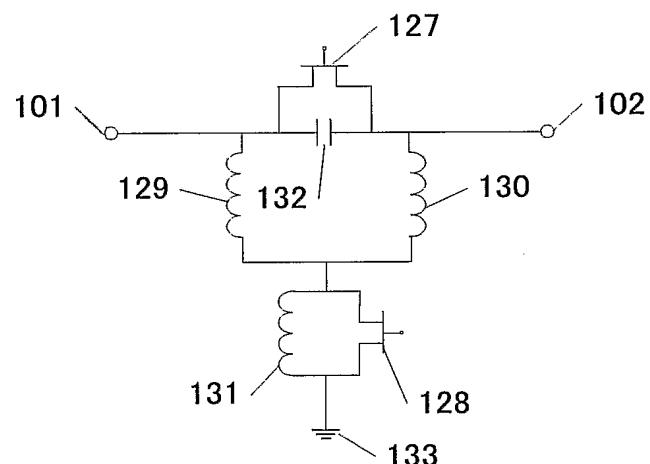


図 3 5

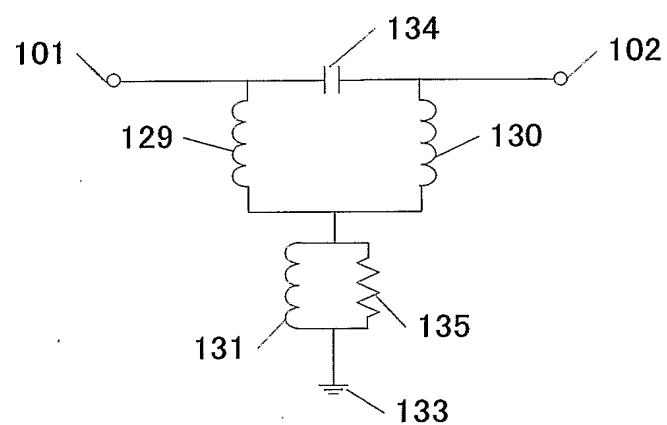
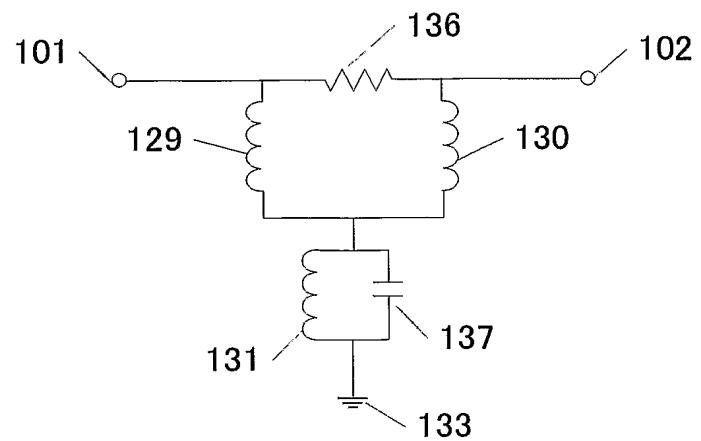


図 3 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004243

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03H7/20, H01P1/18, H01P1/15

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03H7/20, H01P1/18, H01P1/15, H01H59/00, B81B3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI/L

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 68461/1993 (Laid-open No. 33026/1995) (Japan Radio Co., Ltd.), 16 June, 1995 (16.06.95), Full text; all drawings (Family: none)	1-5, 11, 12
Y	JP 1-202007 A (Toshiba Corp.), 15 August, 1989 (15.08.89), Fig. 2 (Family: none)	1

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
13 July, 2004 (13.07.04)

Date of mailing of the international search report
03 August, 2004 (03.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2004/004243
--

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-151113 A (NEC Corp.), 11 June, 1990 (11.06.90), Fig. 3 (Family: none)	2-5
Y	JP 8-250963 A (Mitsubishi Electric Corp.), 27 September, 1996 (27.09.96), Full text; all drawings & EP 732808 A2 & US 5701107 A & DE 69628607 E	3-5
X Y	JP 2004-48176 A (Mitsubishi Electric Corp.), 12 February, 2004 (12.02.04), Full text; all drawings (Family: none)	7-9 6,8,10-12
Y	JP 2000-294104 A (NEC Corp.), 20 October, 2000 (20.10.00), Full text; all drawings & WO 2000/60627 A1 & EP 1170768 A1	6, 8
Y	JP 50-88558 A (Mitsubishi Electric Corp.), 11 December, 1975 (11.12.75), Figs. 6 to 7 (Family: none)	6
Y	JP 8-46253 A (Sumitomo Electric Industries, Ltd.), 16 February, 1996 (16.02.96), Fig. 2 & US 5604375 A	8
A	JP 2003-258502 A (Murata Mfg. Co., Ltd.), 12 September, 2003 (12.09.03), Full text; all drawings & EP 1343189 A2 & US 2003/0169146 A1	6-12
A	JP 2003-264122 A (Murata Mfg. Co., Ltd.), 19 September, 2003 (19.09.03), Full text; all drawings & EP 1343190 A2 & JP 2003-264123 A & US 2003/0223176 A1	6-12
Y	Masatoshi HANTANI et al., "Bisai Kako Cavity Kozo o Mochiita CPW MEMS Switch no Sekkei", The Institute of Electronics, Information and Communication Engineers 2003 nen Electronics Society Taikai Koen Ronbunshu 1, 10 September, 2003 (10.09.03), page 26, C-2-2	8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/004243

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely: .

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically: .

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to claims 1-5, 10-12 relates to a phase circuit. The technical feature common to claims 6-9 relates to a high-frequency switch. It should be noted that claims 10-12 refer to claim 1 or claims 1-5. Accordingly, the technical features common to claims 1-5 and claims 6-9 are different. Accordingly, there is no special technical relationship among those inventions.

Consequently, it is apparent that claims 1-12 do not satisfy the requirement of unity of invention.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.: .

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: .

Remark on Protest

The additional search fees were accompanied by the applicant's protest.
 No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 H03H7/20 H01P1/18—H01P1/15

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H03H7/20 H01P1/18 H01P1/15 H01H59/00
B81B3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI/L

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願5-68461号 (日本国実用新案登録出願公開7-33026号) の願書に添付した明細書及び図面の内容を記録したCD-ROM (日本無線株式会社) 1995.06.16, 全文, 全図 (ファミリーなし)	1-5, 11, 12
Y	JP 1-202007 A (株式会社東芝) 1989.08.15, 第2図 (ファミリーなし)	1
Y	JP 2-151113 A (日本電気株式会社) 1990.06.11, 第3図 (ファミリーなし)	2-5

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

13.07.2004

国際調査報告の発送日

03.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 正明

5W 4241

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 8-250963 A (三菱電機株式会社) 1996. 09. 27, 全文, 全図 & EP 732808 A2 & US 5701107 A & DE 69628607 E	3-5
X	JP 2004-48176 A (三菱電機株式会社)	7-9
Y	2004. 02. 12, 全文, 全図 (ファミリーなし)	6, 8, 10-12
Y	JP 2000-294104 A (日本電気株式会社) 2000. 10. 20, 全文, 全図 & WO 2000/60627 A1 & EP 1170768 A1	6, 8
Y	JP 50-88558 A (三菱電機株式会社) 1975. 12. 11, 第6~7図 (ファミリーなし)	6
Y	JP 8-46253 A (住友電気工業株式会社) 1996. 02. 16, 第2図 & US 5604375 A	8
A	JP 2003-258502 A (株式会社村田製作所) 2003. 09. 12, 全文, 全図 & EP 1343189 A2 & US 2003/0169146 A1	6-12
A	JP 2003-264122 A (株式会社村田製作所) 2003. 09. 19, 全文, 全図 & EP 1343190 A2 & JP 2003-264123 A & US 2003/0223176 A1	6-12
Y	半谷 政毅 他, 微細加工キャビティ構造を用いたCPW MEMSスイッチの設計, 電子情報通信学会2003年エレクトロニクス・サイエティ大会講演論文集1, 2003. 09. 10, p 26, C-2-2	8

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-5, 10-12に共通する事項は、移相器である。
そして、請求の範囲6-9に共通する事項は、高周波スイッチである。
なお、請求の範囲10-12は、請求の範囲1、又は、請求の範囲1~5を引用するものである。
よって、請求項1-5と請求項6-9に共通する事項は、相違するから、特別な技術的関係はない。
したがって、請求の範囲1-12は、発明の単一性の要件を満たさないことが、明らかである。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

追加調査手数料の納付と共に出願人から異議申立てがあった。
 追加調査手数料の納付と共に出願人から異議申立てがなかった。